

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

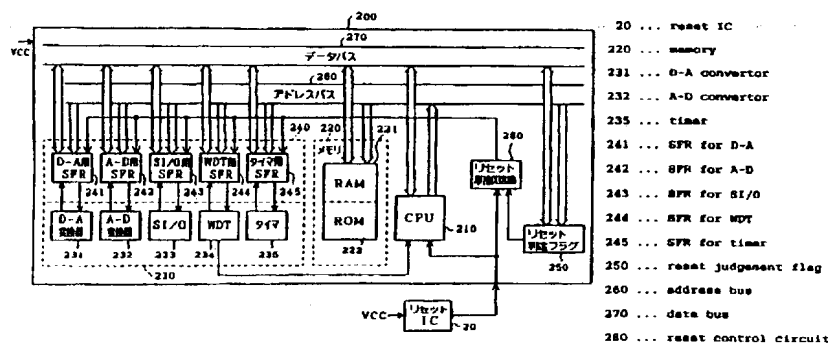
***This Page Blank (uspto)***



<p>(51) 国際特許分類 G06F 1/24</p>	<p>A1</p>	<p>(11) 国際公開番号 WO98/12620</p> <p>(43) 国際公開日 1998年3月26日(26.03.98)</p>
<p>(21) 国際出願番号 PCT/JP96/02725</p> <p>(22) 国際出願日 1996年9月20日(20.09.96)</p> <p>(71) 出願人 (米国を除くすべての指定国について) 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA)[JP/JP] 〒100 東京都千代田区丸の内二丁目2番3号 Tokyo, (JP) 三菱電機エンジニアリング株式会社(MITSUBISHI DENKI ENGINEERING KABUSHIKI KAISHA)[JP/JP] 〒100 東京都千代田区大手町二丁目6番2号 Tokyo, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 西内泰樹(NISHIUCHI, Taiki)[JP/JP] 北口裕次(KITAGUCHI, Yuji)[JP/JP] 〒100 東京都千代田区大手町二丁目6番2号 三菱電機エンジニアリング株式会社内 Tokyo, (JP)</p> <p>(74) 代理人 弁理士 田澤博昭, 外(TAZAWA, Hiroaki et al.) 〒100 東京都千代田区霞が関三丁目5番1号 霞が関HIFビル4階 Tokyo, (JP)</p>		<p>(81) 指定国 CN, JP, KR, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書</p>

(54) Title: MICROCOMPUTER HAVING RESET CONTROL FUNCTION

(54) 発明の名称 リセット制御機能を有するマイクロコンピュータ



(57) Abstract

A microcomputer comprising a central processing unit for executing collective processings; a peripheral unit for executing predetermined operations; a hardware-resettable peripheral register for setting the operation of the peripheral unit; a first flag for storing information on whether or not the reset operation of the central processing unit by an external reset signal is the first since the power is on; and a reset control unit for delivering a register reset signal for hardware resetting of the peripheral register when the external reset signal is inputted under the state where the information stored in the first flag represents the first reset operation, and inhibiting the output of the register reset signal when the external reset signal is inputted under the state where the information stored in the first flag represents that the reset operation is not the first reset operation.

統括的処理を実行する中央処理部と、所定の動作を行うための周辺機能部と、ハードウェア的にリセット可能で、周辺機能部の動作を設定するための周辺機能レジスタ部と、外部リセット信号の入力による中央処理部のリセット動作がマイクロコンピュータの電源投入時から最初のリセット動作であるか否かについての情報を格納する第1のフラグと、第1のフラグに格納されている情報が最初のリセット動作であることを示す場合に外部リセット信号が入力されたときには周辺機能レジスタ部をハードウェア的にリセットするレジスタリセット信号を送出し、第1のフラグに格納されている情報が最初のリセット動作でないことを示す場合に外部リセット信号が入力されたときにはレジスタリセット信号を送出しないようにして周辺機能レジスタ部のリセット制御を実行するリセット制御部とを有するマイクロコンピュータである。

PCTに基づいて公開される国際出願のパンフレット第一頁に記載されたPCT加盟国を同定するために使用されるコード (参考情報)

AL	アルバニア	ES	スペイン	LK	スリランカ	SE	スウェーデン
AM	アルメニア	FI	フィンランド	LR	リベリア	SG	シンガポール
AT	オーストリア	FR	フランス	LS	レソト	SI	スロヴェニア
AU	オーストラリア	GA	ガボン	LT	リトアニア	SK	スロヴァキア共和国
AZ	アゼルバイジャン	GB	英国	LU	ルクセンブルグ	SL	シエラレオネ
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	LV	ラトヴィア	SN	セネガル
BB	バルバドス	GH	ガーナ	MC	モナコ	SZ	スワジランド
BE	ベルギー	GM	ガンビア	MD	モルドヴァ共和国	TD	チャード
BF	ブルキナ・ファソ	GN	ギニア	MG	マダガスカル	TG	トーゴ
BG	ブルガリア	GW	ギニアビサウ	MK	マケドニア共和国	TJ	タジキスタン
BJ	ベナン	GR	ギリシャ		ラヴィア共和国	TM	トルクメニスタン
BR	ブラジル	HU	ハンガリー	ML	マリ	TR	トルコ
BY	ベラルーシ	ID	インドネシア	MN	モンゴル	TT	トリニダード・トバゴ
CA	カナダ	IE	アイルランド	MR	モリタニア	UA	ウクライナ
CF	中央アフリカ共和国	IL	イスラエル	MW	マラウイ	UG	ウガンダ
CG	コンゴ	IS	アイスランド	MX	メキシコ	US	米国
CH	スイス	IT	イタリア	NE	ニジェール	UZ	ウズベキスタン
CI	コート・ジボアール	JP	日本	NL	オランダ	VN	ヴェトナム
CM	カメルーン	KE	ケニア	NO	ノルウェー	YU	ユーゴスラビア
CN	中国	KG	キルギスタン	NZ	ニュージーランド	ZW	ジンバブエ
CU	キューバ	KP	朝鮮民主主義人民共和国	PL	ポーランド		
CZ	チェコ共和国	KR	大韓民国	PT	ポルトガル		
DE	ドイツ	KZ	カザフスタン	RO	ルーマニア		
DK	デンマーク	LC	セントルシア	RU	ロシア連邦		
EE	エストニア	LI	リヒテンシュタイン	SD	スーダン		

## 明 細 書

## リセット制御機能を有するマイクロコンピュータ

## 技術分野

この発明は、例えば電子機器の制御等に用いられるマイクロコンピュータにかかり、特にマイクロコンピュータのリセット機能に関する。

## 背景技術

従来からマイクロコンピュータなどの半導体回路では電源投入後にCPUおよび周辺機器を正常に動作させるために電源投入直後にリセットがかかるようになっている。

第27図はこのような従来のマイクロコンピュータの構成を示すブロック図である。同図において、10はリセットIC、100はシングルチップマイクロコンピュータを示している。シングルチップマイクロコンピュータ100は、統括的処理を行うCPU110と、プログラムやデータを格納するメモリ120と、周辺機能部130と、周辺機能部用スペシャルファンクションレジスタ（以下SFRと記す）部140と、リセット判定フラグ150と、メモリ120等のアドレスを指定するためのアドレスバス160と、各部にデータを転送するためのデータバス170とを有している。

メモリ120はRAM121とROM122とを有している。また周辺機能部130はディジタル信号をアナログ信号に変換して出力するD-A変換器131と、アナログ信号を入力してディジタル信号に変換するA-D変換器132と、シリアルで外部機器と通信を行うシリアルI/O（以下S I/Oと記す）133と、CPU110の暴走を検知して

暴走していると判断した場合にCPU110をリセットさせるウォッチドッグタイマ（以下WDTと記す）134と、制御等に伴う計時動作をするタイマ135とを有している。また、SFR部140はD-A用SFR141と、A-D用SFR142と、SI/O用SFR143と、WDT用SFR144と、タイマ用SFR145とを有する。なお、シングルチップマイクロコンピュータ100には電源電圧VCCが印可されるようになっている。

次に動作について説明する。

リセットIC10によって電源電圧VCCが零から所定の電圧に立ち上がるとその立ち上がりよりも僅かに遅れてリセット信号が立ち上がるようになっている。この遅れによりリセット信号が供給されているCPU110及びSFR部140のハードウェアリセットが実行される。すなわち、電源が投入される毎にCPU110及びSFR部140のリセットが行われる。その後CPU110のプログラムによってCPU110内のレジスタの値及びSFR部140のレジスタの値の初期設定の処理が行われる。

ところで、電源はオフにならない場合であってもノイズ等によってリセットIC10から出力されたリセット信号が「L」レベルになる場合がある。このような事情を考慮して電源オン時とその他の場合をCPU110が見分けるためにリセット判定フラグ150が設けられている。

第28図はCPU110のリセット処理の動作を示すフローチャートである。同図に示すようにCPU110はリセット判定フラグ150の値を判定して（ステップST2801）、「L」レベル、すなわち、リセット判定フラグ150が立っていない場合には、リセット判定フラグ150を「H」レベルにして（ステップST2802）、CPU110のレジスタの初期値を設定する（ステップST2803）。その後、S

F R 部 1 4 0 の初期値を設定する（ステップ S T 2 8 0 4）。一方、ステップ S T 2 8 0 1 でリセット判定フラグ 1 5 0 が立っているとき、すなわち、「H」である時には、電源のオン時ではないと認識してステップ S T 2 8 0 4 に移行して S F R 部 1 4 0 の初期値を設定する。

このため、電源電圧 V C C が所定の電圧を保っている場合にリセット信号が「L」レベルになった場合には、リセット判定フラグ 1 5 0 が立っているので、C P U 1 1 0 のレジスタの初期設定処理は行われぬ。しかしながら、S F R 部 1 4 0 はリセットされてしまうとハードウェア的に一定の値にセットされてしまうので、第 2 8 図のフローチャートに示すように S F R 部 1 4 0 のリセット判定フラグ 1 5 0 が「H」、「L」にかかわらず、シングルチップマイクロコンピュータ 1 0 0 のプログラムが必要とする初期設定の値にアドレスバス 1 6 0、データバス 1 7 0 を介して設定し直さなければならず、時間がかかり、周辺機能部 1 3 0 の動作が中断することになる。このため、ノイズ等により C P U 1 1 0 にリセットがかかった場合に C P U 1 1 0 がデータの初期化をしないホットスタートをしたとしても S F R 部 1 4 0 はリセットされて S F R 値の設定を行わなければならず、周辺機能部 1 3 0 の連続的動作ができないという問題があった。

本発明は以上の問題点を解消するために成されたものであり、電源オン後にリセット信号にノイズ等が重畳された場合にも周辺機能部の動作を継続することのできるマイクロコンピュータ等のリセット機能を有する電子装置を提供することを目的とする。

## 発明の開示

請求の範囲第 1 項記載の発明は、リセット制御部をリセット判定フラグに格納されている情報が最初のリセット動作であることを示す場合に

外部リセット信号が入力されたときには周辺機能レジスタ部をハードウェア的にリセットするレジスタリセット信号を送出し、リセット判定フラグに格納されている情報が最初のリセット動作でないことを示す場合に外部リセット信号が入力されたときにはレジスタリセット信号を送出しないようにして周辺機能レジスタ部のリセット制御を実行するように構成したので、ノイズなどにより、リセット信号が発生しても周辺機能レジスタ部はリセットされず、周辺機能部はその後連続して動作を継続することができる効果がある。

請求の範囲第2項記載の発明は、周辺機能部がアナログ信号からデジタル信号への変換を行うA-D変換器を含み、周辺機能レジスタ部がA-D変換器の動作の設定のためのレジスタを含むように構成したので、ノイズなどにより、リセット信号が発生しても周辺機能レジスタ部はリセットされず、A-D変換器はその後連続して動作を継続することができる効果がある。

請求の範囲第3項記載の発明は、周辺機能部がアナログ信号からデジタル信号への変換を行うD-A変換器を含み、周辺機能レジスタ部がD-A変換器の動作の設定のためのレジスタを含むように構成したので、ノイズなどにより、リセット信号が発生しても周辺機能レジスタ部はリセットされず、D-A変換器はその後連続して動作を継続することができる効果がある。

請求の範囲第4項記載の発明は、周辺機能部がアナログ信号からデジタル信号への変換を行うシリアル入出力装置を含み、周辺機能レジスタ部がシリアル入出力装置の動作の設定のためのレジスタを含むように構成したので、ノイズなどにより、リセット信号が発生しても周辺機能レジスタ部はリセットされず、シリアル入出力装置はその後連続して動作を継続することができる効果がある。



請求の範囲第5項記載の発明は、周辺機能部がアナログ信号からデジタル信号への変換を行うタイマを含み、周辺機能レジスタ部がタイマの動作の設定のためのレジスタを含むように構成したので、ノイズなどにより、リセット信号が発生しても周辺機能レジスタ部はリセットされず、タイマはその後連続して動作を継続することができる効果がある。

請求の範囲第6項記載の発明は、周辺機能部がアナログ信号からデジタル信号への変換を行うウォッチドッグタイマを含み、周辺機能レジスタ部がウォッチドッグタイマの動作の設定のためのレジスタを含むように構成したので、ノイズなどにより、リセット信号が発生しても周辺機能レジスタ部はリセットされず、ウォッチドッグタイマはその後連続して動作を継続することができる効果がある。

請求の範囲第7項記載の発明は、ウォッチドッグタイマが暴走を示す信号を出力した場合にはリセット制御部はリセット判定フラグに格納されている情報にかかわらずレジスタリセット信号を送出して周辺機能レジスタ部のリセット制御を実行するように構成したので、より安定性のあるリセット制御を行うことができる効果がある。

請求の範囲第8項記載の発明は、リセット制御部がリセットモードフラグにフラグ非依存モードを示す情報が格納されている場合に外部リセット信号が入力されたときには第1のフラグに格納されている情報にかかわらずレジスタリセット信号を周辺機能レジスタ部に送出するように構成したので、実行するプログラム等の性質によってモードを変えてより効率的なリセット処理ができる効果がある。

請求の範囲第9項記載の発明は、中央処理部に電源を供給する第1の電源から生成された第1のリセット信号と、周辺機能部に電源を供給する第2の電源から生成された第2のリセット信号との両方が入力された場合のみ中央処理部のリセットを実行させる信号を中央処理部に送出す

るように構成したので、リセット信号線にノイズが重畳された場合であっても中央処理部がリセットされ難くなり、中央処理部が安定に動作する効果がある。

#### 図面の簡単な説明

第1図は本発明の実施の形態1のシングルチップマイクロコンピュータの構成を示すブロック図である。

第2図は第1図に示すリセット制御回路の詳細な構成を示す回路図である。

第3図は本発明の実施の形態1のCPUのリセット処理の動作を示すフローチャートである。

第4図は第2図に示すリセット制御回路の入出力信号のタイミングを示すタイミングチャートである。

第5図は本発明の実施の形態2のシングルチップマイクロコンピュータの構成を示すブロック図である。

第6図は図5に示すリセット制御回路の詳細な構成を示す回路図である。

第7図は本発明の実施の形態2のCPUのリセット処理の動作を示すフローチャートである。

第8図は本発明の実施の形態2において電源がオン状態にある時にリセット信号が「L」になった場合の各部の信号のタイミングを示すタイミングチャートである。

第9図は本発明の実施の形態3のシングルチップマイクロコンピュータの構成を示すブロック図である。

第10図は第9図に示すリセット制御回路の構成を示す回路図である。

第 1 1 図は本発明の実施の形態 3 の C P U のリセット時の動作を示すフローチャートである。

第 1 2 図は本発明の実施の形態 3 の各部の信号のタイミングを示すタイミングチャートである。

第 1 3 図は本発明の実施の形態 4 のシングルチップマイクロコンピュータの構成を示すブロック図である。

第 1 4 図は第 1 3 図のリセット制御回路の詳細な構成を示す回路図である。

第 1 5 図は本発明の実施の形態 4 の C P U のリセット処理の動作を示すフローチャートである。

第 1 6 図は第 1 4 図に示すリセット制御回路の入出力信号のタイミングを示すタイミングチャートである。

第 1 7 図は本発明の実施の形態 5 のシングルチップマイクロコンピュータの構成を示すブロック図である。

第 1 8 図は本発明の実施の形態 5 の C P U のリセット処理の動作を示すフローチャートである。

第 1 9 図は本発明の実施の形態 6 のシングルチップマイクロコンピュータの構成を示すブロック図である。

第 2 0 図は本発明の実施の形態 6 の C P U のリセット処理の動作を示すフローチャートである。

第 2 1 図は本発明の実施の形態 7 のシングルチップマイクロコンピュータの構成を示すブロック図である。

第 2 2 図は本発明の実施の形態 7 の C P U のリセット処理の動作を示すフローチャートである。

第 2 3 図は本発明の実施の形態 8 のシングルチップマイクロコンピュータの構成を示すブロック図である。

第 2 4 図は第 2 3 図に示すリセット制御回路の詳細な構成を示す回路図である。

第 2 5 図は本発明の実施の形態 8 の C P U のリセット処理の動作を示すフローチャートである。

第 2 6 図は第 2 4 図に示すリセット制御回路の入出力信号のタイミングを示すタイミングチャートである。

第 2 7 図は従来のマイクロコンピュータの構成を示すブロック図である。

第 2 8 図は従来のマイクロコンピュータの C P U のリセット処理の動作を示すフローチャートである。

#### 発明を実施するための最良の形態

本発明の実施の形態を図面を参照しつつ、詳細に説明する。

##### 実施の形態 1 .

第 1 図は本発明の実施の形態 1 のシングルチップマイクロコンピュータの構成を示すブロック図である。同図において、20 はリセット I C 、200 はシングルチップマイクロコンピュータを示している。シングルチップマイクロコンピュータ 200 は、統括的処理を行う C P U ( 中央処理部 ) 210 と、プログラムやデータを格納するメモリ 220 と、周辺機能部 230 と、周辺機能部 230 用のスペシャルファンクションレジスタ ( 以下 S F R と記す ) の集合体である S F R 部 ( 周辺機能レジスタ部 ) 240 と、リセット判定フラグ ( 第 1 のフラグ ) 250 と、メモリ 220 等のアドレスを指定するためのアドレスバス 260 と、各部にデータを転送するためのデータバス 270 とを有している。

メモリ 220 は R A M 221 と R O M 222 とを有している。また周辺機能部 230 はディジタル信号をアナログ信号に変換して出力する D

— A変換器231と、アナログ信号を入力してディジタル信号に変換するA-D変換器232と、シリアルで外部機器と通信を行うシリアルI/O（以下S I/Oと記す、シリアル入出力装置）233と、CPU210の暴走を検知して暴走していると判断した場合にCPU210をリセットさせるウォッチドッグタイマ（以下WDTと記す）234と、制御等に伴う計時動作を実行するタイマ235とを有している。また、SFR部240はD-A用SFR241と、A-D用SFR242と、S I/O用SFR243と、WDT用SFR244と、タイマ用SFR245とを有する。なお、シングルチップマイクロコンピュータ200には電源電圧VCCが印加されるようになっている。

さらに、シングルチップマイクロコンピュータ200はリセット制御回路（リセット制御部）280を有している。そしてリセットIC20からのリセット信号は直接CPU210とリセット制御回路280に入力されるように構成されている。またリセット制御回路280にはリセット判定フラグ250のフラグの値が入力されるように構成されている。

第2図は第1図のリセット制御回路280の詳細な構成を示す回路図である。同図に示すようにリセット制御回路280はインバータ281、282、ナンドゲート283から構成されている。

次に動作について説明する。

電源が投入されたときはリセットIC20からのリセット信号はCPU210とリセット制御回路280に入力される。CPU210はリセットされ、後述するリセットプログラムが実行される。電源投入時はリセット判定フラグ250は「L」であり、リセット信号は「L」であるからナンドゲート283の出力は「L」となる。このため、リセット制御回路280は「L」レベルの信号を出力して、SFR部240はハー

ドウェア的にリセットされる。

第3図はCPU 210のリセット処理の動作を示すフローチャートである。同図に示すように、まず、リセット判定フラグ250の値が「L」である場合には（ステップST 301）、電源投入時のリセットと判断してリセット判定フラグ250を「H」にセットして（ステップST 302）、CPU 210のレジスタの初期設定が行われ（ステップST 303）、引き続いてSFR部240のSFR値の初期設定が行われる（ステップST 304）。一方、ステップST 301でリセット判定フラグ250が「H」の場合にはCPU 210はホットスタートと判断してSFR部240及びCPU 210のレジスタ等の値の初期設定動作は行わずにリセット処理を終了する。

第4図は第2図に示すリセット制御回路280の入出力信号のタイミングを示すタイミングチャートである。同図において（a）はリセット制御回路280に入力されるリセット信号、（b）はリセット判定フラグ250の値、（c）はリセット制御回路280の出力信号を示している。同図に示すように、リセット判定フラグ250が「H」レベルにセットされている場合には、電源投入時ではないと判断してリセット信号が「L」になったとしてもリセット制御回路280の出力信号は「H」レベルのままである。このため、SFR部240はハードウェア的にリセットされない。

なお、電源投入時にCPU 210が第3図のステップST 303を実行するよりも先にリセット制御回路280がSFR部240へリセット信号を送る必要があるがリセット制御回路280は2つのインバータと1つのゲートからなる小規模のハードウェアで信号処理をしているのでCPU 210がステップST 303を実行するのに対して、リセット制御回路280の信号送出処理の方が十分に早く行われる。

以上説明したように実施の形態 1 によれば、電源投入時以外にリセット信号が「L」レベルになってもリセット制御回路 280 によって SFR 部 240 はリセットされないように構成されているので、ノイズなどにより、リセット信号が「L」になっても SFR 部 240 はリセットされず、周辺機能部 230 はその後連続して動作を継続することができる効果がある。

## 実施の形態 2.

第 5 図は本発明の実施の形態 2 のシングルチップマイクロコンピュータの構成を示すブロック図である。第 1 図に示す部分と同一部分には同一符号を付し、重複する説明は省略する。同図において、300 はシングルチップマイクロコンピュータ、310 はリセットのモードを設定するためのリセットモードフラグ（第 2 のフラグ）、320 はリセット IC 20 から出力されるリセット信号とリセット判定フラグ 250 の値とリセットモードフラグ 310 とに基づいて SFR 部 240 にリセット信号を供給するリセット制御回路を示している。

第 6 図はリセット制御回路 320 の詳細な構成を示す回路図である。同図において、321、322 はインバータ、323 はオアゲート、324 はナンドゲートをそれぞれ示している。

次に動作について説明する。

まず、ユーザはリセットモードフラグ 310 の値を CPU 210 のプログラムにより設定する。リセット判定フラグ 250 に依存しないで入力されるリセット信号によって SFR 部 240 をリセットするフラグ非依存モードを選択する場合にはリセットモードフラグ 310 を「H」にセットする。一方、上述した実施の形態 1 と同様にリセット判定フラグ 250 とリセット信号に基づいて SFR 部 240 をリセットするフラグ

依存モードを選択する場合にはリセットモードフラグ 3 1 0 を「L」にする。第 6 図に示すように、リセットモードフラグ 3 1 0 が「H」の場合にはオアゲート 3 2 3 の出力は常に「H」になりナンドゲート 3 2 4 からはリセット信号と同じ信号が S F R リセット信号として出力される。一方、リセットモードフラグ 3 1 0 に「L」レベルの信号がセットされている場合には、オアゲート 3 2 3 の出力信号はインバータ 3 2 1 の出力信号と同じになり、実施の形態 1 で説明した動作と同じ動作をする。

第 7 図は C P U 2 1 0 のリセット処理の動作を示すフローチャートである。まず、リセットされるとステップ S T 7 0 1 でリセット判定フラグ 2 5 0 が「L」の場合、(ステップ S T 7 0 1)、電源投入時のリセットと判断してリセット判定フラグ 2 5 0 を「H」にセットして(ステップ S T 7 0 2)、C P U 2 1 0 のレジスタの初期設定が行われ(ステップ S T 7 0 3)、引き続いて S F R 部 2 4 0 の S F R 値の初期設定が行われる(ステップ S T 7 0 4)。一方、ステップ S T 7 0 1 でリセット判定フラグ 2 5 0 が「H」である場合には、リセットモードフラグ 3 1 0 が参照され(ステップ S T 7 0 5)、フラグ依存モードを示す場合にはステップ S T 7 0 4 に移行し、フラグ非依存モードを示す場合にはそのままリセット処理を終了する。

すなわち、C P U 2 1 0 は電源投入の際にはリセット処理として C P U 2 1 0 のレジスタ及び S F R 部 2 4 0 の初期値の設定を行い、電源がオンの状態にある場合に、通常モードであるときは S F R 部 2 4 0 の初期値を設定し、フラグ非依存モードであるときにはそのままリセット処理を終了することになる。

第 8 図は電源がオン状態にある時にリセット信号が「L」になった場合の各部の信号のタイミングを示すタイミングチャートである。同図に



において、(a) はリセット制御回路 320 に入力されるリセット信号、(b) はリセット判定フラグ 250 の値、(c) はリセットモードフラグ 310 の値、(d) はリセット制御回路 320 の出力信号である SFR リセット信号を示している。同図の時刻 T1 に示すようにリセットモードフラグ 310 に「H」レベルの信号が格納されている場合には、リセット信号が「L」になってもリセット判定フラグ 250 の値が「H」であれば SFR リセット信号は「H」であり、SFR 部 240 にはハードウェア的なリセットはかからない。一方、時刻 T2 に示すようにリセットモードフラグ 310 が「L」の場合、すなわち、フラグ非依存モードの場合には SFR リセット信号は入力されるリセット信号と同じ信号となり、リセット信号が「L」になれば SFR 部 240 がハードウェア的にリセットされる。

以上説明したように実施の形態 2 によれば、リセットモードフラグ 310 を設けてこのフラグの値により、リセット判定フラグ 250 の値によらないフラグ非依存モードと、リセット判定フラグ 250 に依存するフラグ依存モードとを切り換えて SFR 部 240 のリセットをすることができる。このため、実行するプログラム等の性質によってモードを変えてより効率的なリセット処理ができる効果がある。

### 実施の形態 3.

第 9 図は本発明の実施の形態 3 のシングルチップマイクロコンピュータの構成を示すブロック図である。第 1 図に示す部分と同一部分には同一符号を付し、重複する説明は省略する。なお、この実施の形態 3 では周辺機能部 230、SFR 部 240、及びリセット IC 20 には電源として 3 ボルトの VCC3 (第 2 の電源) が供給され、CPU 210 には電源として 5 ボルトの VCC5 (第 1 の電源) が供給される。第 9 図に

において、21はリセットICを示しており、VCC5が入力されている。なおリセットIC20とリセットIC21の出力信号はVCC5、VCC3の立ち上がりに対してSFR部240、CPU210をリセットするのに十分遅い立ち上がりとなるように構成されている。400はこの実施の形態3のシングルチップマイクロコンピュータ、410はリセットIC20から出力されるリセット信号とリセットIC21から出力されるリセット信号とからCPU210をリセットするためのCPUリセット信号を出力するリセット制御回路を示している。

第10図は第9図に示すリセット制御回路410の構成を示す回路図である。同図に示すように、リセット制御回路410はオアゲート411から構成されている。このオアゲート411の入力にはリセットIC20の出力とリセットIC21の出力が入力され、これらの信号の論理和がとられてCPUリセット信号としてCPU210に供給されている。また、リセットIC20からのリセット信号はSFR部240にも供給されている。

次に動作について説明する。

まず、電源投入時にはVCC5およびVCC3は同時に立ち上がる。このときリセットIC20、リセットIC21からの出力はリセット制御回路410に入力されて、これら2つの信号の論理和がとられてCPU210にCPUリセット信号として供給される。このため、電源投入時にはCPU210はリセットされることになる。CPU210のリセットされた後の処理は後に詳述する。また、リセットIC20から出力されたリセット信号はSFR部240にも供給され、ハードウェア的にリセットされる。

なお、電源がオンの状態のときはオアゲート411で論理和がとられているのでどちらかのリセット信号にノイズ等が重畳したとしても片方

の信号のみが「L」レベルになった場合にはリセットしないようにしている。

第11図はCPU 210のリセット時の動作を示すフローチャートである。同図に示すように、まず、リセットされるとリセット判定フラグ250が「L」の場合（ステップST 1101）、電源投入時のリセットと判断してリセット判定フラグ250を「H」にセットして（ステップST 1102）、CPU 210のレジスタの初期設定が行われる（ステップST 1103）。引き続いてSFR部240のSFR値の初期設定が行われる（ステップST 1104）。一方、ステップST 1101でリセット判定フラグ250が「H」である場合にはステップST 1104に移行してSFR部240の初期値を設定する。

第12図はこの実施の形態3の各部の信号のタイミングを示すタイミングチャートである。同図において、（a）はVCC5、（b）はVCC3、（c）はリセットIC 20からのリセット信号、（d）はCPU 210に供給されるCPUリセット信号、（e）はリセット判定フラグ250の値を示している。同図に示すように時刻T1ではVCC3は「L」レベルになっているものの、VCC5は「H」レベルのままである。このため、リセット制御回路410からはCPU 210には「L」レベルのリセット信号は供給されずにCPU 210はリセットされない。一方、時刻T2ではVCC5とVCC3とが同時に「L」レベルになっているのでリセット制御回路410は「L」レベルのCPUリセット信号を出力する。このときCPU 210はリセット判定フラグ250を参照して、「H」レベルであるか「L」レベルであるかによって第11図に示すリセット処理を実行する。

以上説明したように実施の形態3によれば、リセット制御回路410がVCC3から生成されるリセット信号とVCC5から生成されるリセ

ット信号との論理和からCPUリセット信号を生成しているのでリセットIC20、21の出力等にノイズが重畳された場合であってもCPU210がリセットされ難くなり、CPU210が安定に動作する効果がある。

#### 実施の形態4.

第13図は本発明の実施の形態4のシングルチップマイクロコンピュータの構成を示すブロック図である。第1図に示す部分と同一部分には同一符号を付し、重複する説明は省略する。第13図において、500はこの実施の形態4のシングルチップマイクロコンピュータ、510はSI/O用SFR243をリセットするための個別SFRリセット信号を生成するリセット制御回路を示している。なお、リセットIC20の出力はCPU210、リセット制御回路510、D-A用SFR241、A-D用SFR242、WDT用SFR244、及びタイマ用SFR245に供給されている。SI/O用SFR243としてパリティ、同期型、送信バッファレジスタ、ストップビットの設定用のレジスタ等が含まれる。

第14図は第13図のリセット制御回路510の詳細な構成を示す回路図である。第14図において、511、512はインバータ、513はナンドゲートを示している。インバータ512、511にはそれぞれリセット判定フラグ250からの信号、リセットIC20からのリセット信号が入力される。

次に動作について説明する。

電源が投入されたときはリセットIC20からのリセット信号はリセット制御回路510、D-A用SFR241、A-D用SFR242、WDT用SFR244、及びタイマ用SFR245に供給されてハード

ウェア的にリセットされる。一方、CPU 210 はリセット IC 20 からのリセット信号が入力されると後述するリセット動作を実行する。一方、リセット IC 20 からのリセット信号はリセット制御回路 510 に入力される。電源投入時はリセット判定フラグ 250 は「L」であり、リセット信号は「L」であるからリセット制御回路 510 のナンドゲート 513 の出力は「L」となる。このため、リセット制御回路 510 は「L」レベルの信号を出力して S I / O 用 S F R 243 はハードウェア的にリセットされる。

第 15 図は CPU 210 のリセット処理の動作を示すフローチャートである。同図に示すように、まず、リセット判定フラグ 250 の値が「L」である場合には（ステップ S T 1501）、電源投入時のリセットと判断してリセット判定フラグ 250 を「H」にセットして（ステップ S T 1502）、CPU 210 のレジスタ等の初期設定（ステップ S T 1503）、S I / O 用 S F R 243 の値の初期設定（ステップ S T 1504）、その他の S F R の初期設定（ステップ S T 1505）が行われる。一方、ステップ S T 1501 でリセット判定フラグ 250 が「H」の場合には CPU 210 はホットスタートと判断してステップ S T 1505 に移行し S I / O 用 S F R 243 及び CPU 210 のレジスタ等の値の初期設定動作は行わずにその他の S F R の初期値を設定してリセット処理を終了する。

第 16 図は第 14 図に示すリセット制御回路 510 の入出力信号のタイミングを示すタイミングチャートである。同図において（a）はリセット制御回路 510 に入力されるリセット信号、（b）はリセット判定フラグ 250 の値、（c）はリセット制御回路 510 が出力する個別 S F R リセット信号を示している。同図に示すように、リセット判定フラグ 250 が「H」レベルにセットされている場合には、電源投入時では

ないと判断してリセット信号が「L」になったとしてもリセット制御回路510の出力信号は「H」レベルのままであるのでS I / O 用 S F R 2 4 3 はハードウェア的にリセットされない。

なお、電源投入時にC P U 2 1 0 が第15図のステップS T 1 5 0 4 を実行するよりも先にリセット制御回路510がS I / O 用 S F R 2 4 3 へリセット信号を送る必要があるがリセット制御回路510は2つのインバータと1つのゲートからなる小規模のハードウェアで信号処理をしているのでC P U 2 1 0 がステップS T 1 5 0 4 を実行するのに対して、リセット制御回路510の信号送出处理の方が十分に早く行われる。

以上説明したように実施の形態4によれば、電源投入時以外にリセット信号が「L」レベルになってもリセット制御回路510によってS I / O 用 S F R 2 4 3 はリセットされないように構成されているので、ノイズなどによりリセット信号が「L」になってもS I / O 用 S F R 2 4 3 はリセットされず、S I / O 2 3 3 は初期設定動作を必要とせずに、その後連続して動作を継続することができる効果がある。

#### 実施の形態5.

第17図は本発明の実施の形態5のシングルチップマイクロコンピュータの構成を示すブロック図である。第13図に示す部分と同一部分には同一符号を付し、重複する説明は省略する。第17図と第13図とで異なるところはリセット制御回路510からの個別S F R リセット信号がS I / O 用 S F R 2 4 3 ではなく、タイマ用S F R 2 4 5 に供給されており、リセットI C 2 0 から出力されるリセット信号がC P U 2 1 0 、リセット制御回路510、D - A 用 S F R 2 4 1 、A - D 用 S F R 2 4 2 、S I / O 用 S F R 2 4 3 、W D T 用 S F R 2 4 4 に供給されてい

ることである。なお、第 17 図で 600 は実施の形態 5 のシングルチップマイクロコンピュータを示している。

第 18 図は CPU 210 のリセット処理の動作を示すフローチャートである。第 15 図と同一部分には同一符号を付し重複する説明は省略する。第 18 図は第 15 図とステップ ST 1801、ステップ ST 1802 が異なっている。すなわち、ステップ ST 1801 ではタイマ用 SFR 245 の初期値が設定され、ステップ ST 1802 ではタイマ用 SFR 245 以外の SFR の初期値が設定される。

従って、この実施の形態 5 では、電源投入時以外にリセット信号が「L」レベルになってもリセット制御回路 510 によってタイマ用 SFR 245 はリセットされないように構成されているので、ノイズなどによりリセット信号が「L」になってもタイマ用 SFR 245 はリセットされず、タイマ 235 は初期設定動作を必要とせずに、その後、連続して動作を継続することができる効果がある。

#### 実施の形態 6.

第 19 図は本発明の実施の形態 6 のシングルチップマイクロコンピュータの構成を示すブロック図である。第 13 図に示す部分と同一部分には同一符号を付し、重複する説明は省略する。第 19 図と第 13 図で異なるところはリセット制御回路 510 からの個別 SFR リセット信号が SI/O 用 SFR 243 ではなく、A-D 用 SFR 242 に供給されており、リセット IC 20 から出力されるリセット信号が CPU 210、リセット制御回路 510、D-A 用 SFR 241、SI/O 用 SFR 243、WDT 用 SFR 244、タイマ用 SFR 245 に供給されていることである。なお、第 19 図において、700 はこの実施の形態 6 のシングルチップマイクロコンピュータを示している。

第20図はCPU210のリセット処理の動作を示すフローチャートである。第15図と同一部分には同一符号を付し重複する説明は省略する。第20図は第15図とステップST2001、ステップST2002が異なっている。すなわち、ステップST2001ではA-D用SFR242の初期値が設定され、ステップST2002ではA-D用SFR242以外のSFRの初期値が設定される。

従って、この実施の形態6では、電源投入時以外にリセット信号が「L」レベルになってもリセット制御回路510によってA-D用SFR242はリセットされないように構成されているので、ノイズなどによりリセット信号が「L」になってもA-D用SFR242はリセットされず、A-D変換器232は初期設定動作を必要とせずに、その後、連続して動作を継続することができる効果がある。

#### 実施の形態7

第21図は本発明の実施の形態7のシングルチップマイクロコンピュータの構成を示すブロック図である。第13図に示す部分と同一部分には同一符号を付し、重複する説明は省略する。第21図と第13図で異なるところはリセット制御回路510からの個別SFRリセット信号がSI/O用SFR243ではなく、D-A用SFR241に供給されており、リセットIC20から出力されるリセット信号がCPU210、リセット制御回路510、A-D用SFR242、SI/O用SFR243、WDT用SFR244、タイマ用SFR245に供給されていることである。なお、第21図において、800はこの実施の形態7のシングルチップマイクロコンピュータを示している。

第22図はCPU210のリセット処理の動作を示すフローチャートである。第15図と同一部分には同一符号を付し重複する説明は省略す



る。第 22 図は第 15 図とステップ S T 2 2 0 1、S T 2 2 0 2 が異なっている。すなわち、ステップ S T 2 2 0 1 では D - A 用 S F R 2 4 1 の初期値が設定され、ステップ S T 2 2 0 2 では D - A 用 S F R 2 4 1 以外の S F R の初期値が設定される。

従って、この実施の形態 7 では、電源投入時以外にリセット信号が「L」レベルになってもリセット制御回路 5 1 0 によって D - A 用 S F R 2 4 1 はリセットされないように構成されているので、ノイズなどによりリセット信号が「L」になっても D - A 用 S F R 2 4 1 はリセットされず、D - A 変換器 2 3 1 は初期設定動作を必要とせずに、その後、連続して動作を継続することができる効果がある。

#### 実施の形態 8.

第 23 図は本発明の実施の形態 8 のシングルチップマイクロコンピュータの構成を示すブロック図である。第 1 図に示す部分と同一部分には同一符号を付し、重複する説明は省略する。第 23 図において、900 はこの実施の形態 8 のシングルチップマイクロコンピュータ、910 はリセット I C 2 0 から出力されるリセット信号と W D T 2 3 4 から出力される C P U 2 1 0 が暴走していることを示す W D T 割り込み信号とリセット判定フラグ 2 5 0 とから W D T 用 S F R 2 4 4 の個別リセット信号を出力するリセット制御回路をそれぞれ示している。なお、リセット I C 2 0 の出力は C P U 2 1 0、リセット制御回路 9 1 0、D - A 用 S F R 2 4 1、A - D 用 S F R 2 4 2、S I / O 用 S F R 2 4 3、及びタイマ用 S F R 2 4 5 に供給されている。

第 24 図は第 23 図のリセット制御回路 9 1 0 の詳細な構成を示す回路図である。第 24 図において、911、912 はインバータ、913 はナンドゲート、914 はアンドゲートを示している。インバータ 9 1

1, 912にはそれぞれリセット判定フラグ250からの信号、リセットIC20からのリセット信号が入力される。なお、アンドゲート914からはWDT用SFR244のハードウェア的なリセットのためのリセット信号が出力される。

次に動作について説明する。

電源が投入されたときはリセットIC20からの出力信号によりCPU210、WDT用SFR244以外のSFRがリセットされる。CPU210のリセット処理については詳細に後述する。実施の形態1で説明したようにリセット制御回路910のナンドゲート913の出力は「L」になるのでWDT割り込み信号にかかわらずアンドゲート914は「L」レベルの信号を出力する。このため、WDT用SFR244に「L」レベルの信号が供給され、ハードウェア的にリセットされる。

その後、電源がオンの状態ではWDT234はCPU210が正常動作をしていると判断している場合には「H」レベルの信号をCPU210及びリセット制御回路910に出力する。この場合にはアンドゲート914のWDT234に接続している側の入力端子は「H」レベルになり、アンドゲート914の出力信号はナンドゲート913の出力信号と同一となる。一方、WDT234がCPU210の暴走を検知した場合にはCPU210及びリセット制御回路910に「L」レベルのWDT割り込み信号を送出する。CPU210はこの信号を受けると動作を停止する。リセット制御回路910に「L」レベルのWDT割り込み信号が入力されるとアンドゲート914の出力は他方の入力端子に入力される信号の状態にかかわらず、「L」レベルとなる。このため、WDT用SFR244はハードウェア的にリセットされる。

第25図はCPU210のリセット処理の動作を示すフローチャートである。第15図と同一部分には同一符号を付し重複する説明は省略す

る。第25図は第15図とステップST2501、ステップST2502が異なっている。すなわち、ステップST2501ではWDT用SFR244の初期値が設定され、ステップST2502ではWDT用SFR244以外のSFRの初期値が設定される。

第26図は第24図に示すリセット制御回路910の入出力信号のタイミングを示すタイミングチャートである。同図において（a）はリセット制御回路910に入力されるリセット信号、（b）はリセット判定フラグ250の値、（c）はWDT234から出力されるWDT割り込み信号、（d）はリセット制御回路910の出力信号であるWDT用SFRリセット信号を示している。第26図に示すタイミングチャートの時刻T1でリセット信号が「L」になった場合にリセット判定フラグ250が「H」レベルで、かつWDT割り込み信号が「H」であるときはWDT用SFRリセット信号は「H」となる。一方、時刻T2でWDT割り込み信号が「L」になれば、すなわち、WDT234がCPU210の暴走を検出したときはWDT用SFRリセット信号は「L」になってWDT234のハードウェア的なリセットが実行される。

なお、以上の説明ではリセット制御回路910の出力信号はWDT用SFR244のみに供給されるようにしたが、他のSFRに対してもリセットIC20からのリセット信号の代わりに供給するようにしてもよい。

以上説明したように実施の形態8によれば、WDT234の監視によってCPU210が暴走しているときには特定のSFRのリセットを強制的に行うことによってより安定性のあるリセット制御を行うことができる効果がある。

なお、上述した実施の形態1から8において、リセットICの少なくとも一方をシングルチップマイクロコンピュータの内部に設けるように

構成してもよい。

#### 産業上の利用可能性

本発明は例えば電子機器の制御等に用いられるマイクロコンピュータに利用可能である。

## 請 求 の 範 囲

1. 外部から入力される外部リセット信号によってリセット動作が行われるマイクロコンピュータであって、

前記マイクロコンピュータの統括的処理を実行する中央処理部と、  
所定の動作を行うための周辺機能部と、

ハードウェア的にリセット可能で、前記周辺機能部の動作を設定するための周辺機能レジスタ部と、

前記外部リセット信号の入力による前記中央処理部のリセット動作が前記マイクロコンピュータの電源投入時から最初のリセット動作であるか否かについての情報を格納する第1のフラグと、

前記第1のフラグに格納されている情報が最初のリセット動作であることを示す場合に前記外部リセット信号が入力されたときには前記周辺機能レジスタ部をハードウェア的にリセットするレジスタリセット信号を送出し、前記第1のフラグに格納されている情報が最初のリセット動作でないことを示す場合に前記外部リセット信号が入力されたときには前記レジスタリセット信号を送出しないようにして前記周辺機能レジスタ部のリセット制御を実行するリセット制御部と

を有するリセット制御機能を有するマイクロコンピュータ。

2. 請求の範囲第1項記載のマイクロコンピュータであって、周辺機能部はアナログ信号からデジタル信号への変換を行うA-D変換器を含み、周辺機能レジスタ部は前記A-D変換器の動作の設定のためのレジスタを含むリセット制御機能を有するマイクロコンピュータ。

3. 請求の範囲第1項記載のマイクロコンピュータであって、周辺機能部はデジタル信号からアナログ信号への変換を行うD-A変換器を含み、周辺機能レジスタ部は前記D-A変換器の動作の設定のためのレジ

スタを含むリセット制御機能を有するマイクロコンピュータ。

4. 請求の範囲第1項記載のマイクロコンピュータであって、周辺機能部はシリアルで信号の入出力制御を行うシリアル入出力装置を含み、周辺機能レジスタ部は前記シリアル入出力装置の動作の設定のためのレジスタを含むリセット制御機能を有するマイクロコンピュータ。

5. 請求の範囲第1項記載のマイクロコンピュータであって、周辺機能部は計時機能を実行するタイマを含み、周辺機能レジスタ部は前記タイマの動作の設定のためのレジスタを含むリセット制御機能を有するマイクロコンピュータ。

6. 請求の範囲第1項記載のマイクロコンピュータであって、周辺機能部は中央処理部の暴走を監視して前記中央処理部が暴走していると判断した場合に暴走を示す信号を出力するウォッチドッグタイマを含み、周辺機能レジスタ部は前記ウォッチドッグタイマの動作の設定のためのレジスタを含むリセット制御機能を有するマイクロコンピュータ。

7. 請求の範囲第6項記載のマイクロコンピュータであって、ウォッチドッグタイマが暴走を示す信号を出力した場合にはリセット制御部は第1のフラグに格納されている情報にかかわらずレジスタリセット信号を送出して周辺機能レジスタ部のリセット制御を実行するリセット制御機能を有するマイクロコンピュータ。

8. 請求の範囲第1項記載のマイクロコンピュータであって、

第1のフラグに依存して周辺機能レジスタ部のリセットを行うフラグ依存モードであるか前記第1のフラグに依存せずに前記周辺機能レジスタ部のリセットを行うフラグ非依存モードであるかについての情報を格納する第2のフラグをさらに有し、リセット制御部は前記第2のフラグにフラグ非依存モードを示す情報が格納されている場合には外部リセット信号が入力されたときには前記第1のフラグに格納されている情報に

にかかわらずレジスタリセット信号を前記周辺機能レジスタ部に送出するリセット制御機能を有するマイクロコンピュータ。

9. 第1の電源と第2の電源とが供給されるマイクロコンピュータであって、

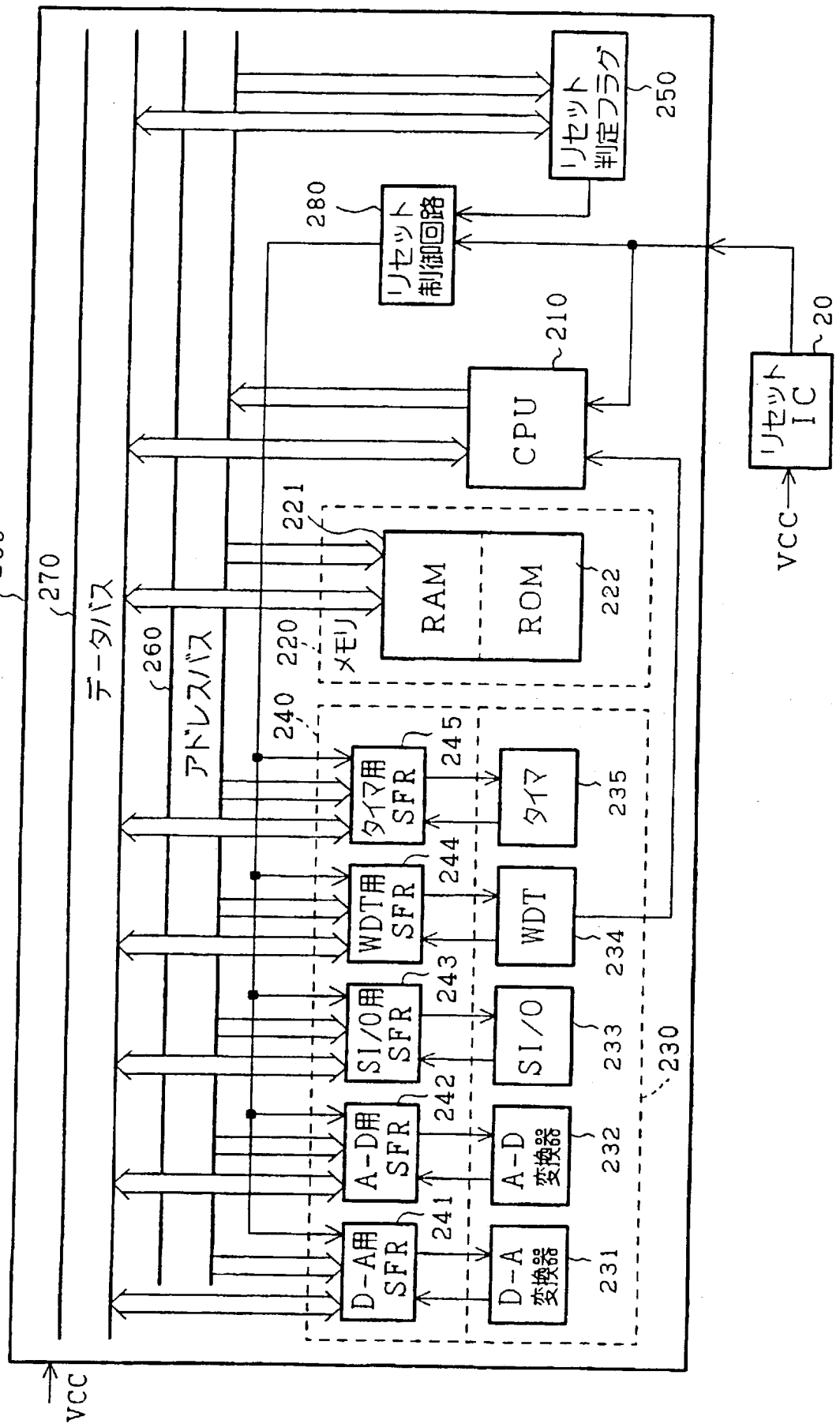
前記マイクロコンピュータの統括的处理を実行し、前記第1の電源によって駆動される中央処理部と、

所定の動作を行い、前記第2の電源によって駆動される周辺装置部と

、  
前記第1の電源から生成された第1のリセット信号と前記第2の電源から生成された第2のリセット信号との両方が入力された場合のみ前記中央処理部のリセットを実行させる信号を前記中央処理部に送出して前記中央処理部のリセット制御を実行するリセット制御部と

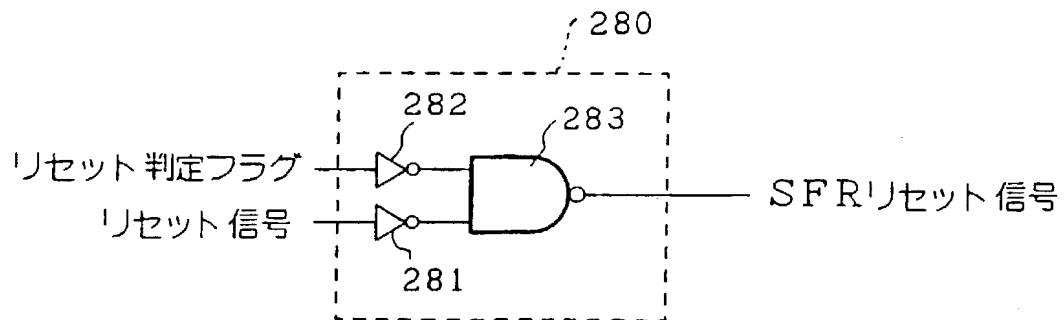
を有するリセット制御機能を有するマイクロコンピュータ。

第1図

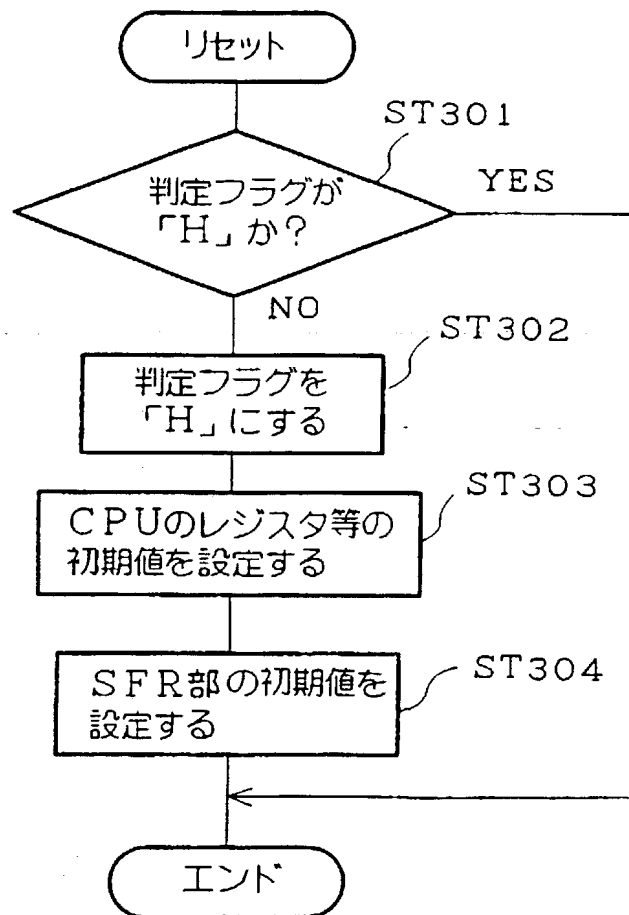




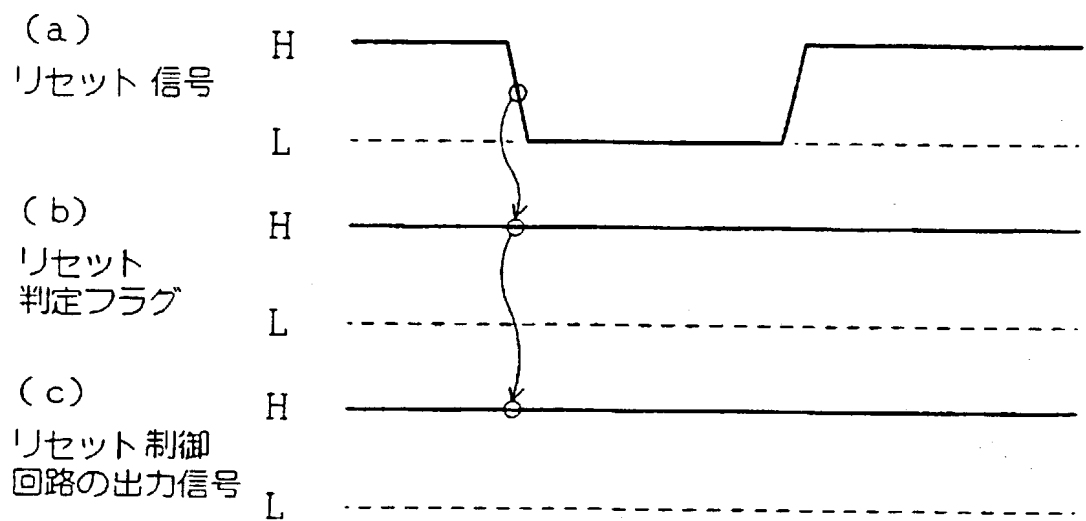
第 2 図



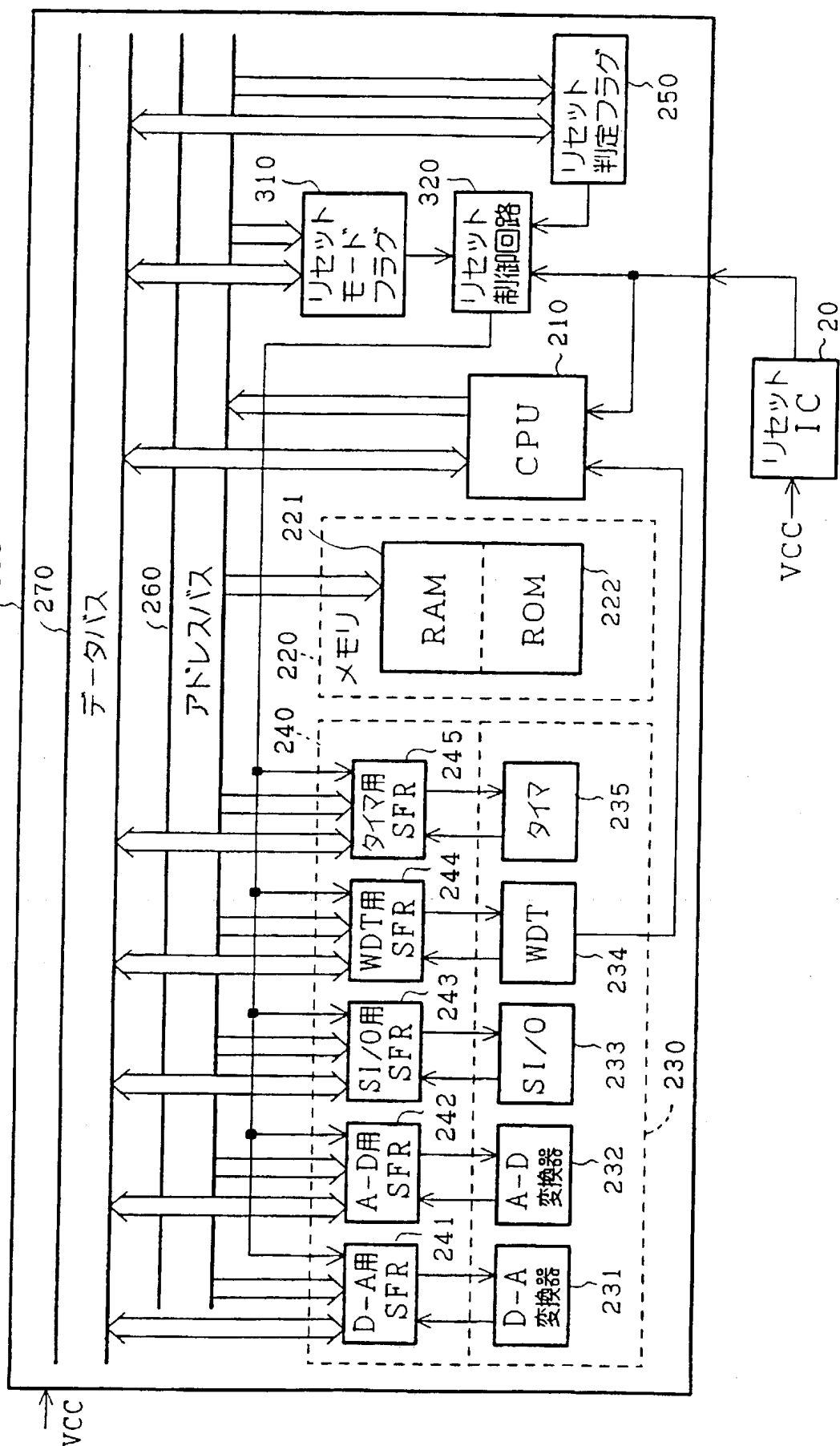
第 3 図



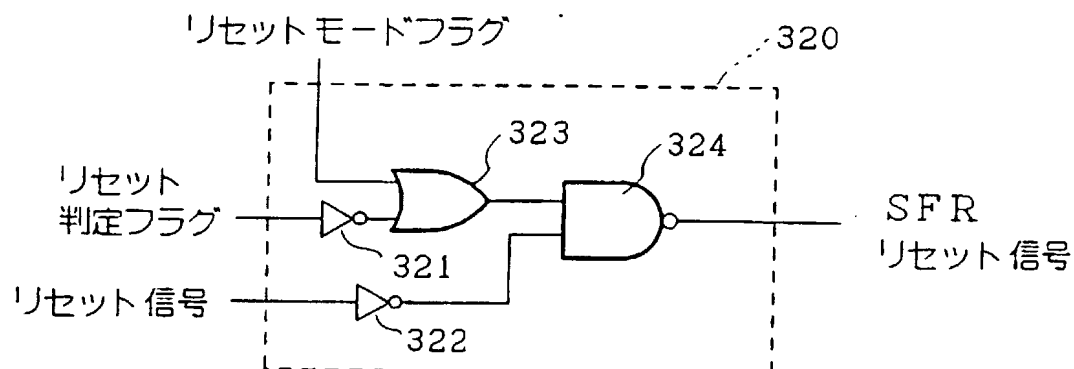
## 第4図



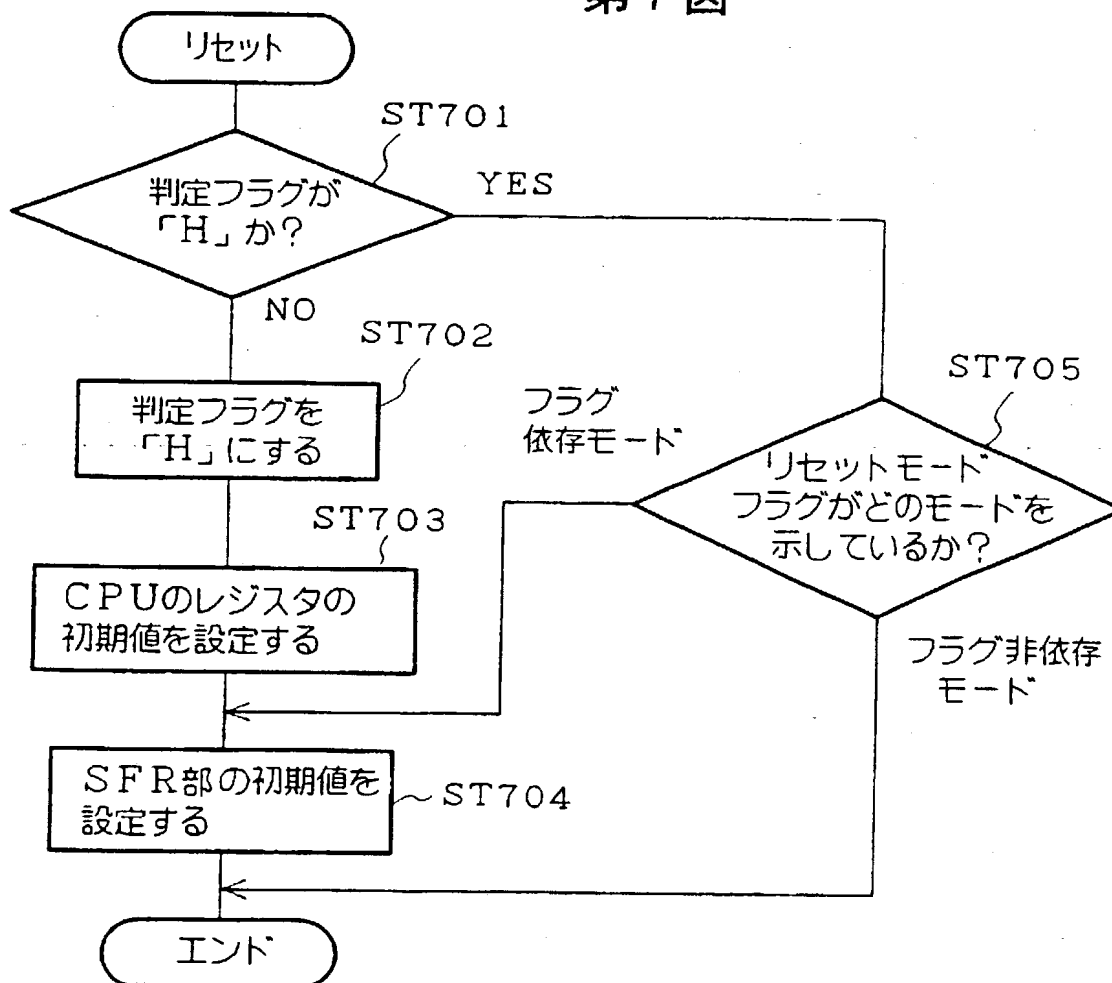
第5図



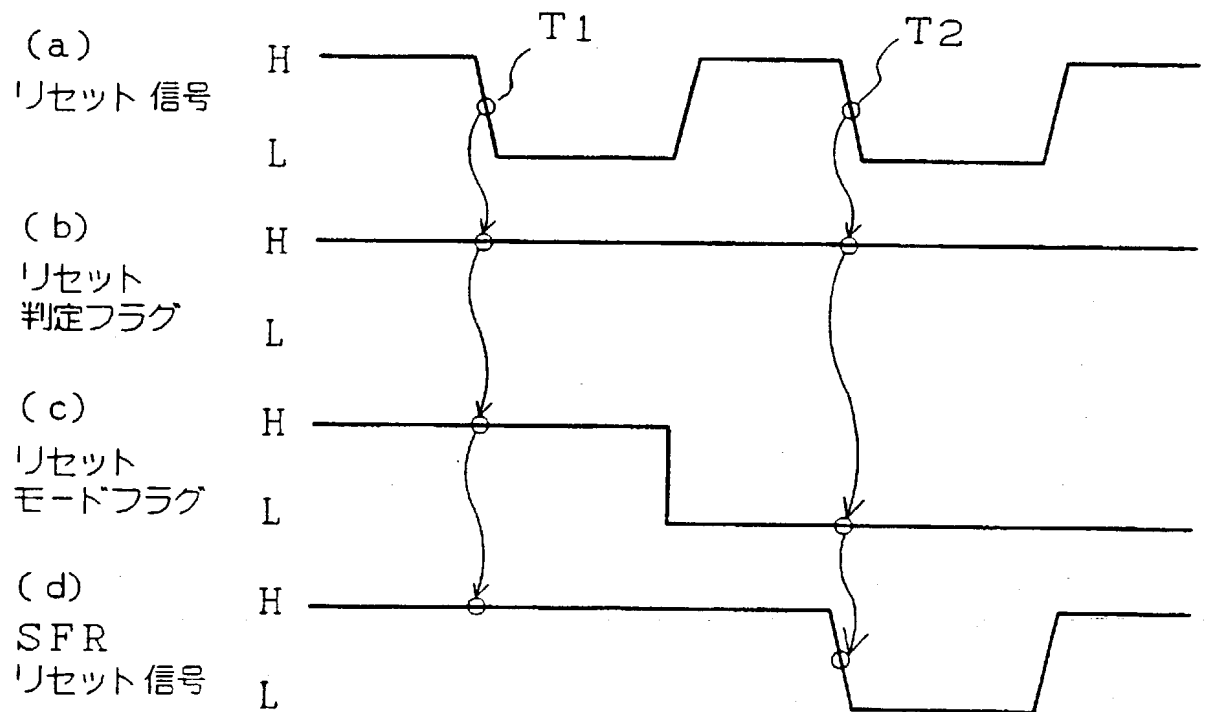
第 6 図



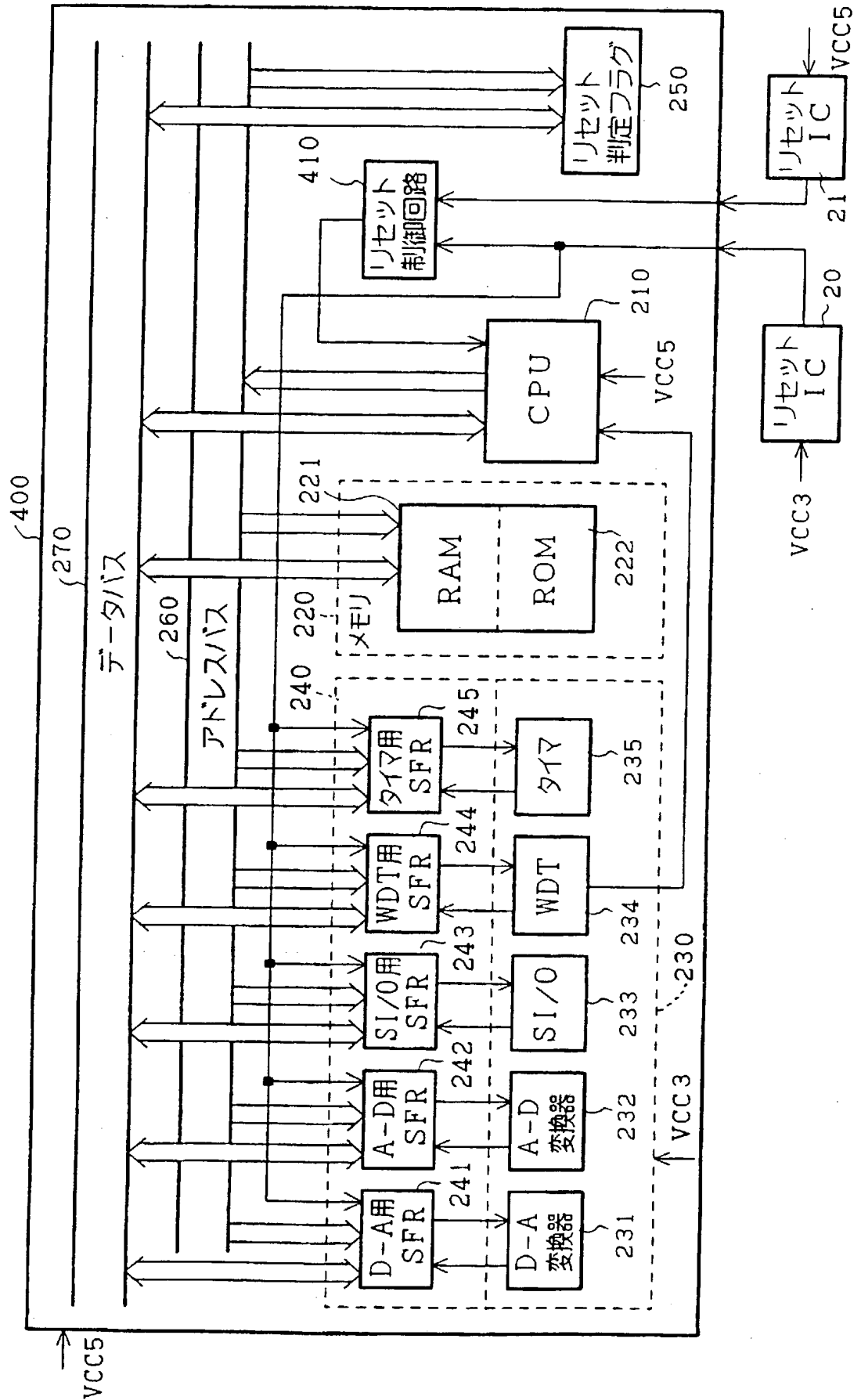
第 7 図



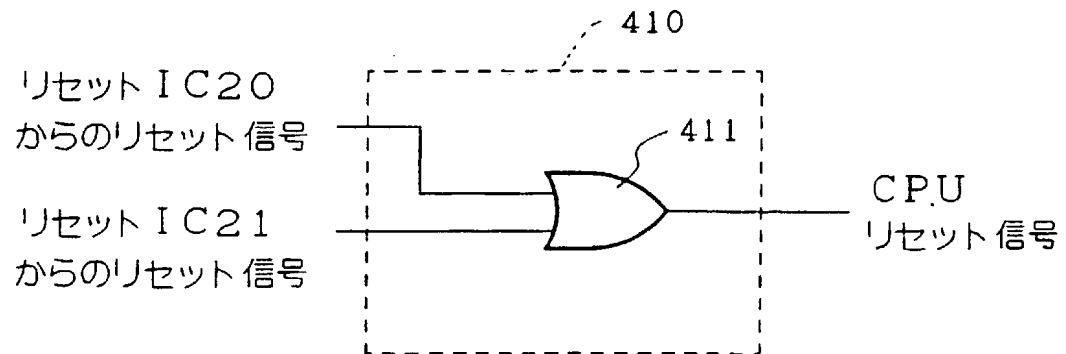
## 第8図



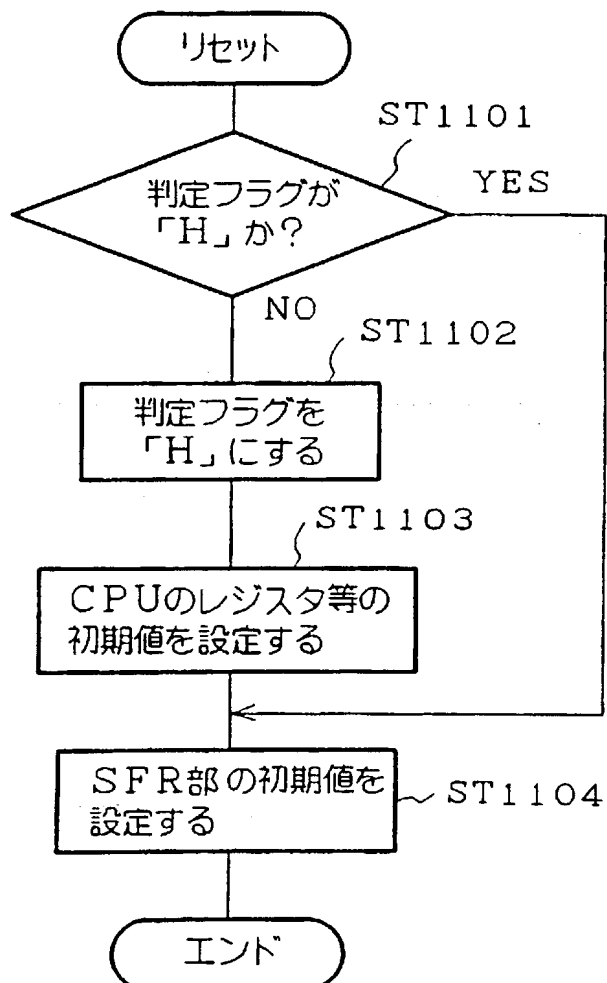
第9図



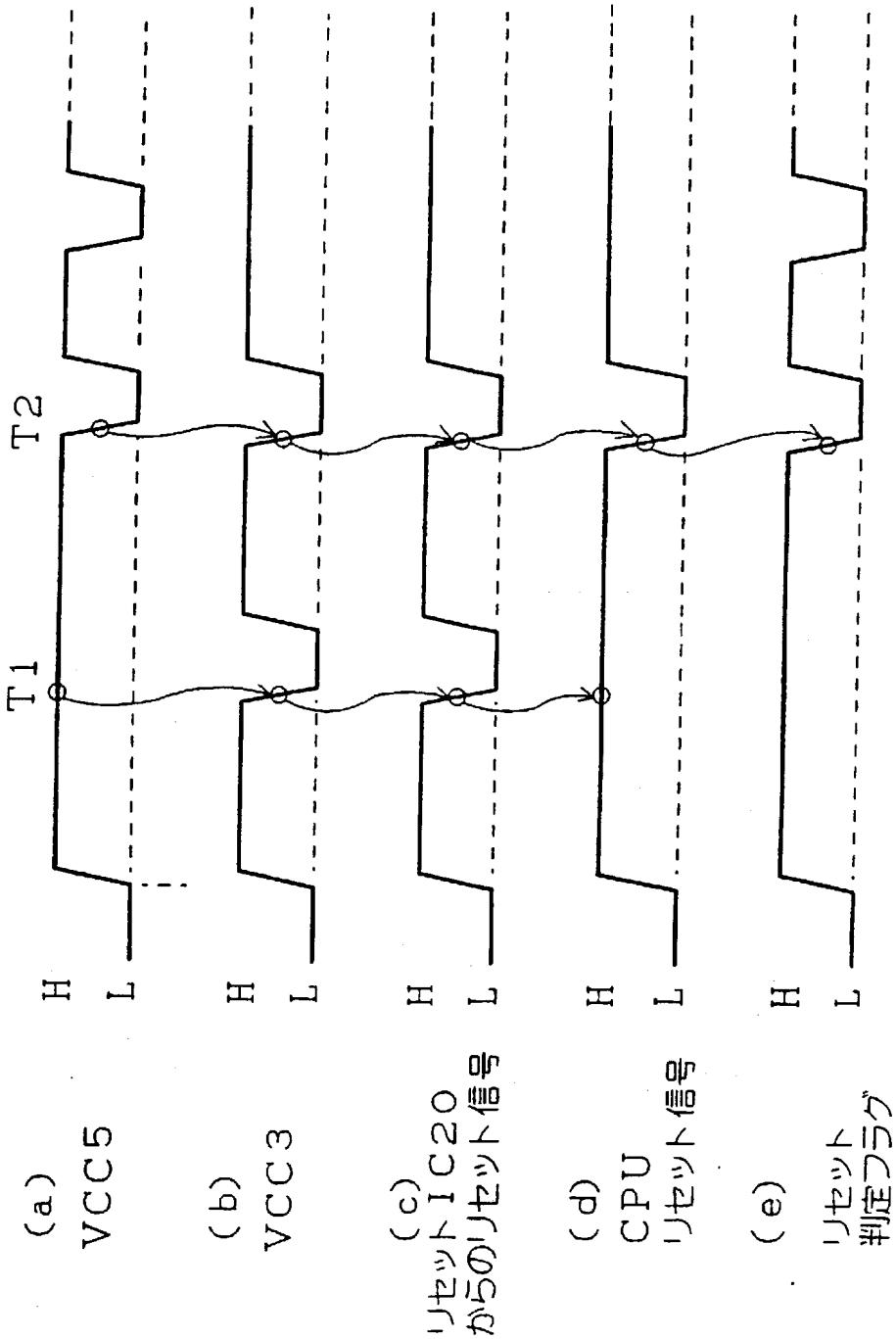
第 10 図



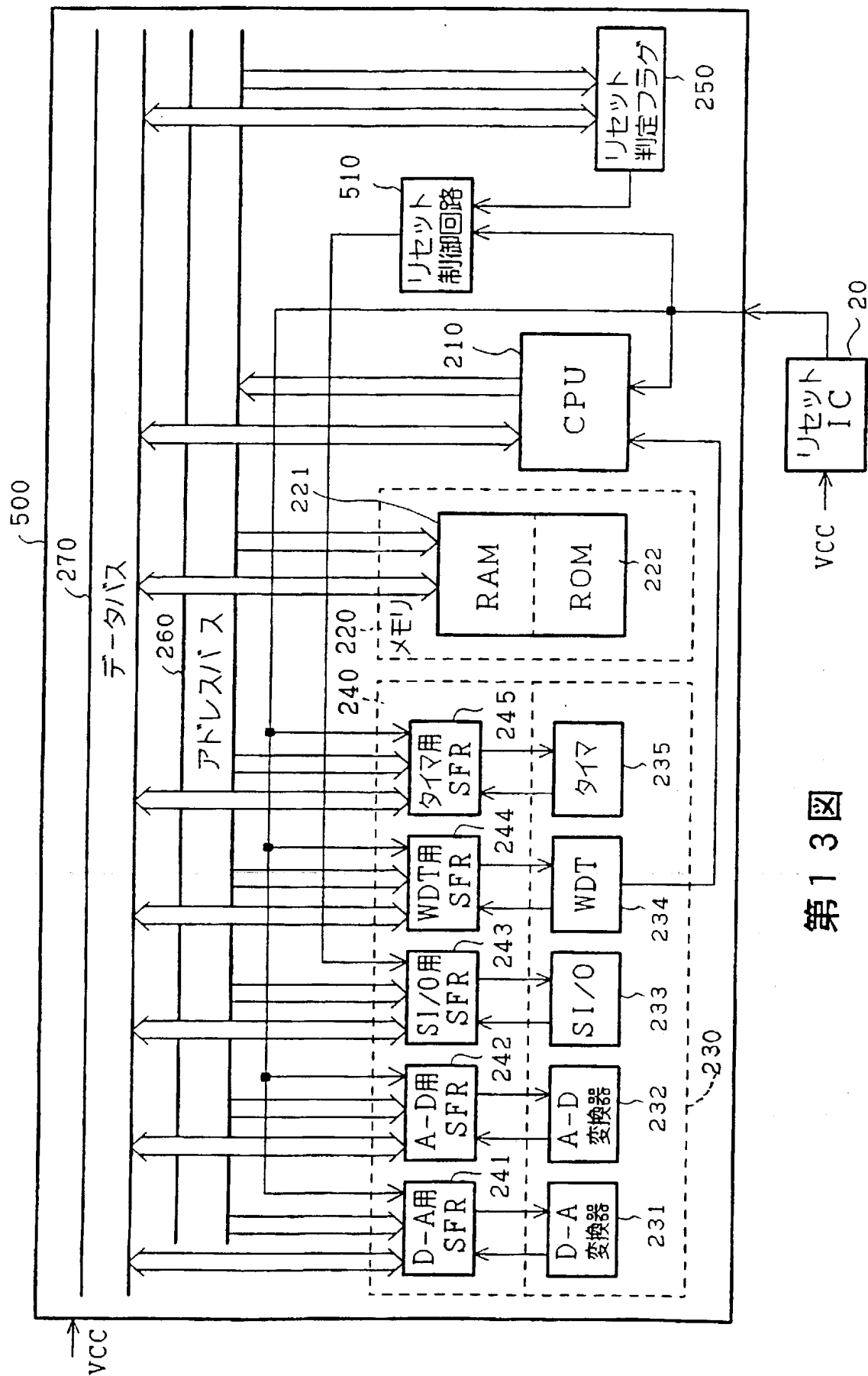
第 11 図



第12図

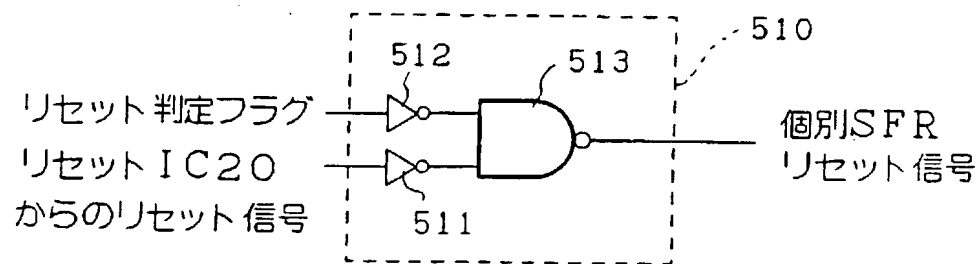




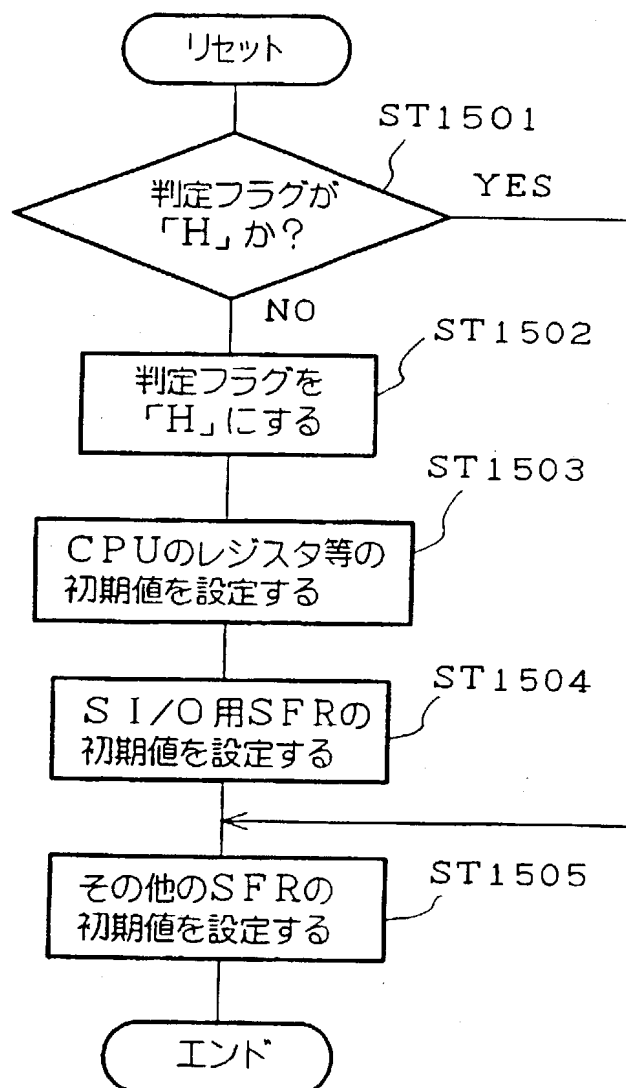


第13図

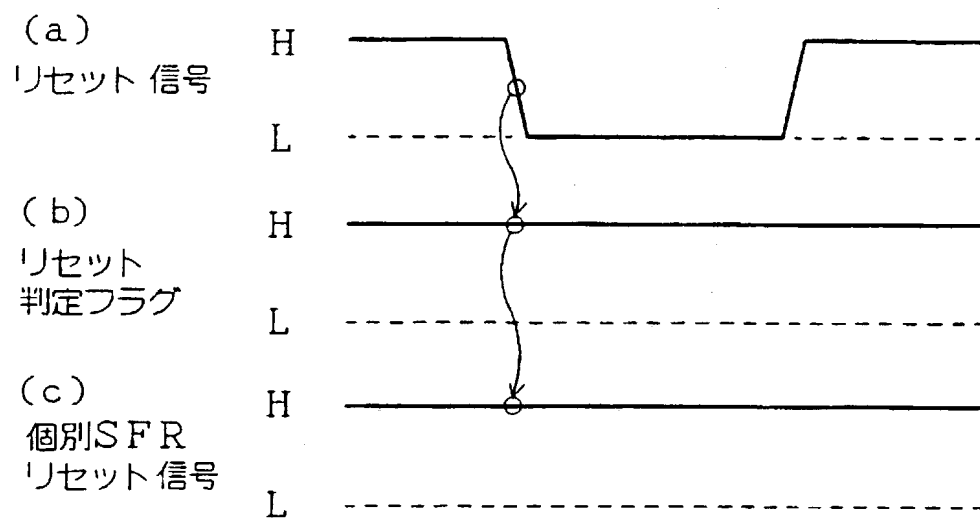
第 1 4 図

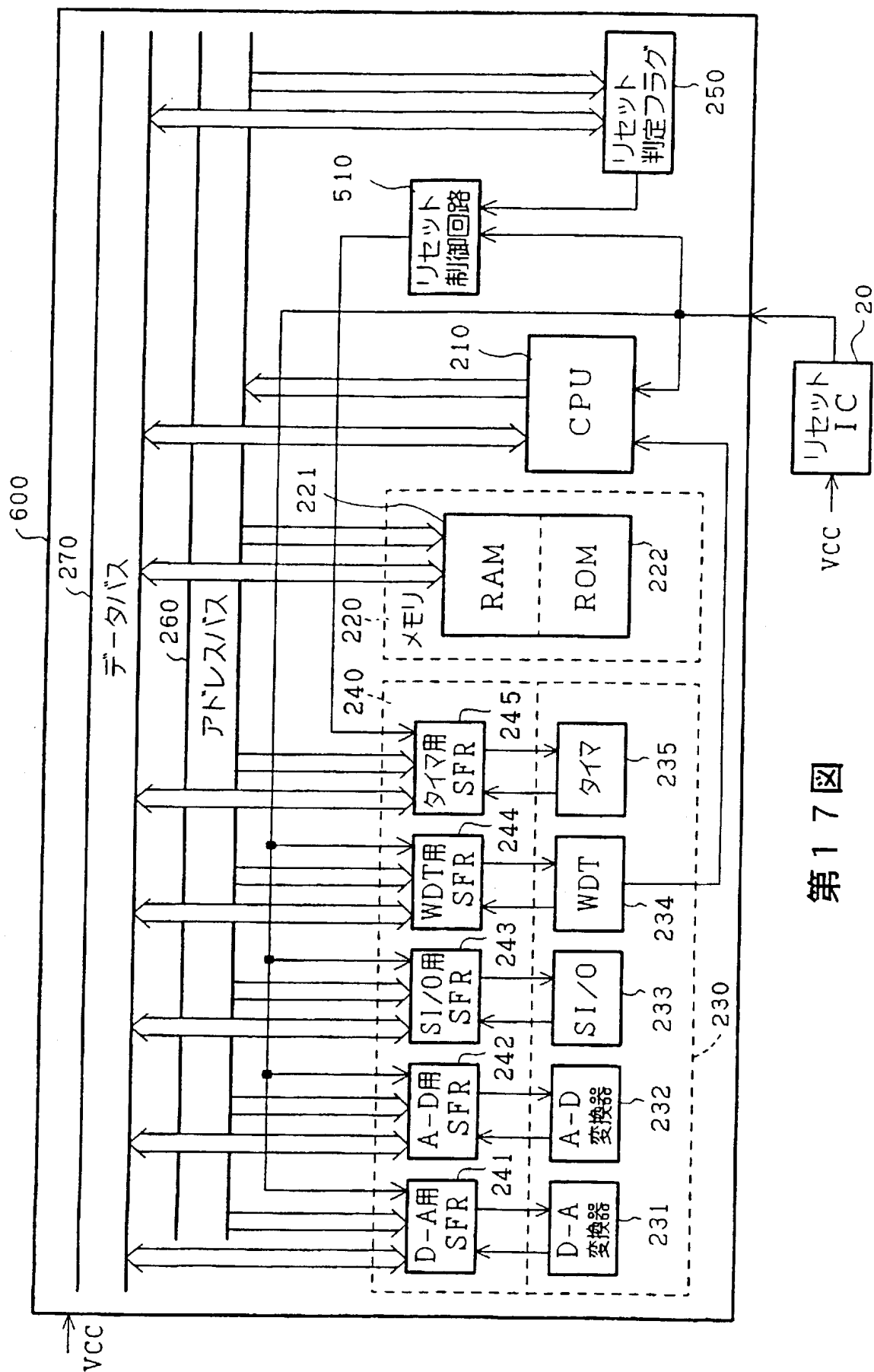


第 1 5 図



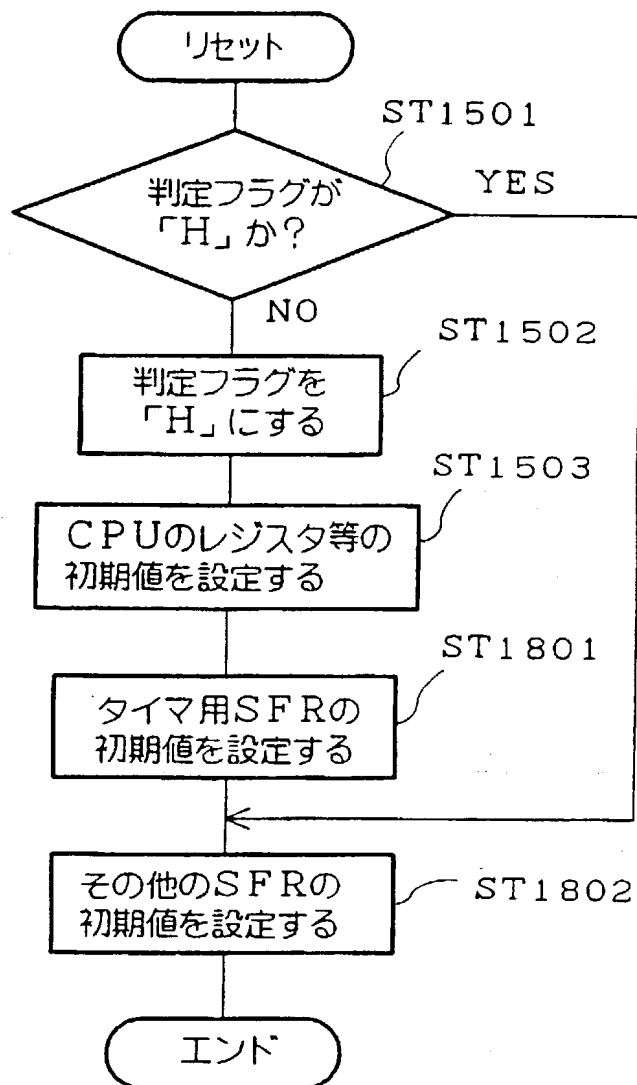
## 第16図

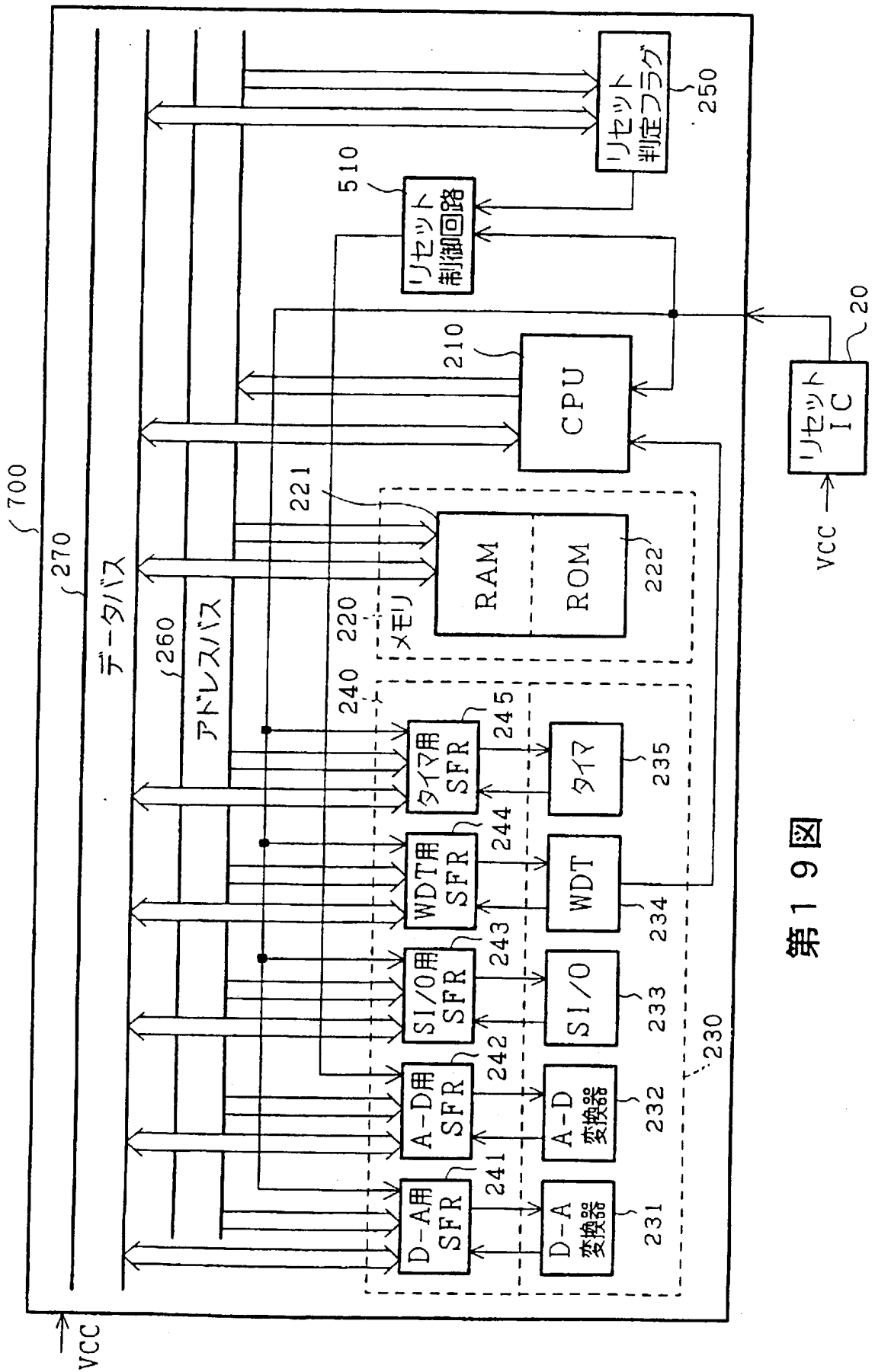




第17図

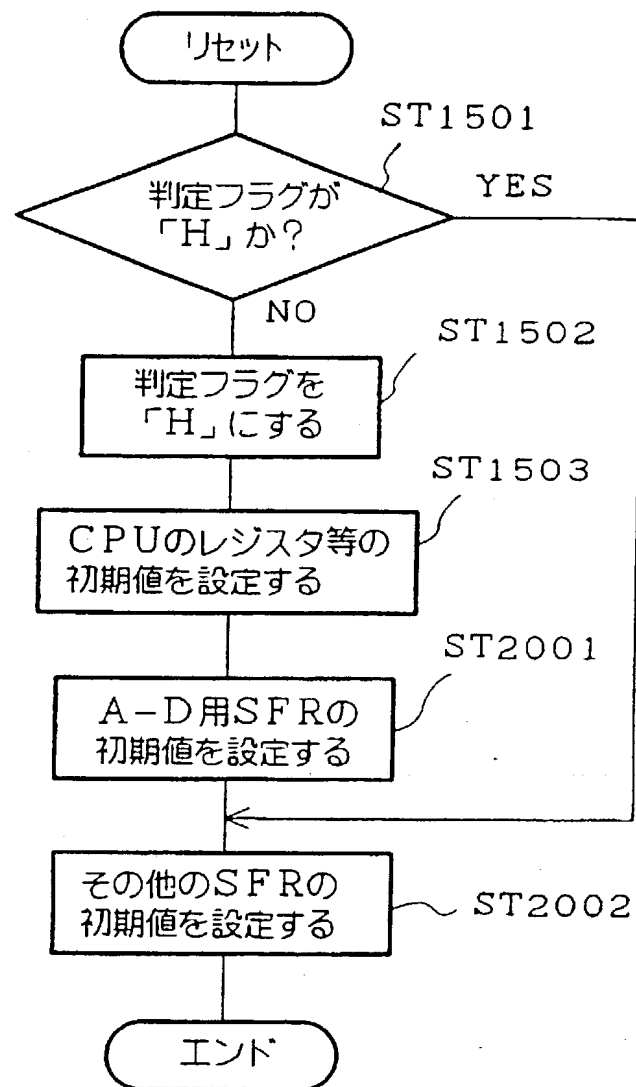
## 第 18 図

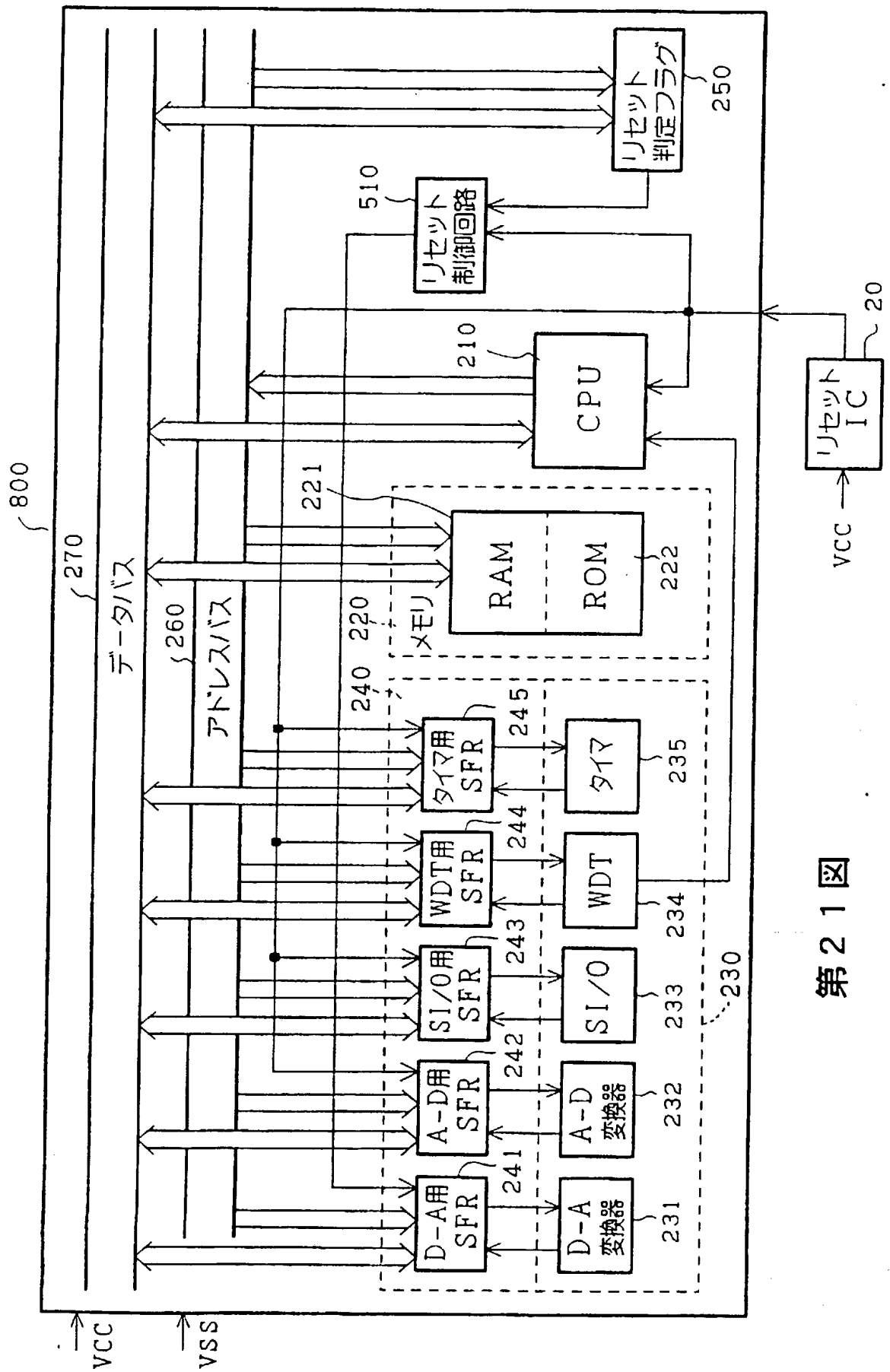




第19図

## 第20図

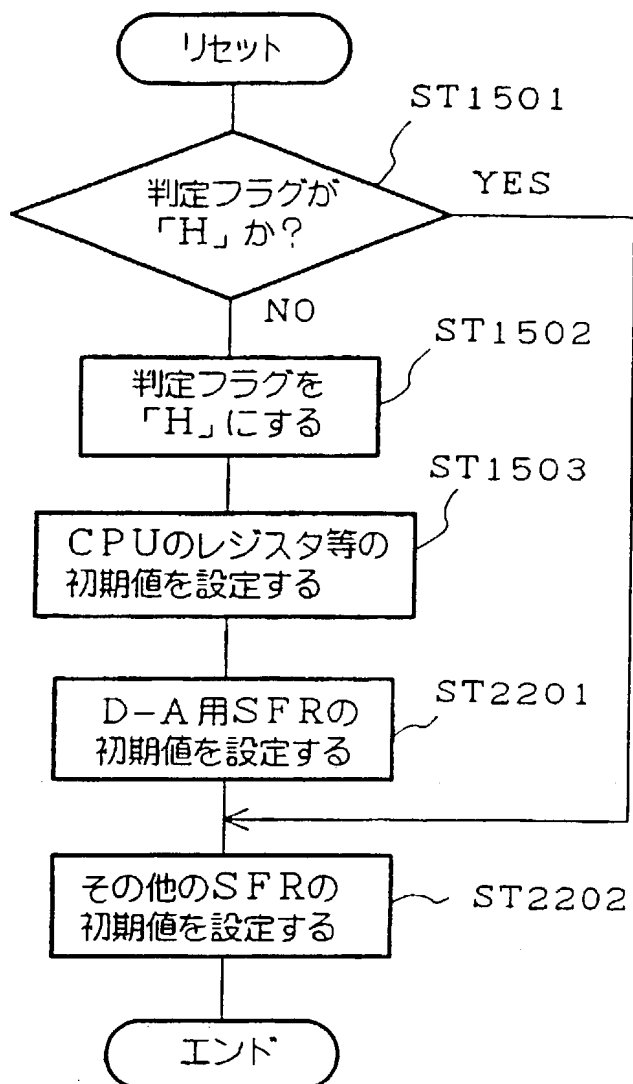


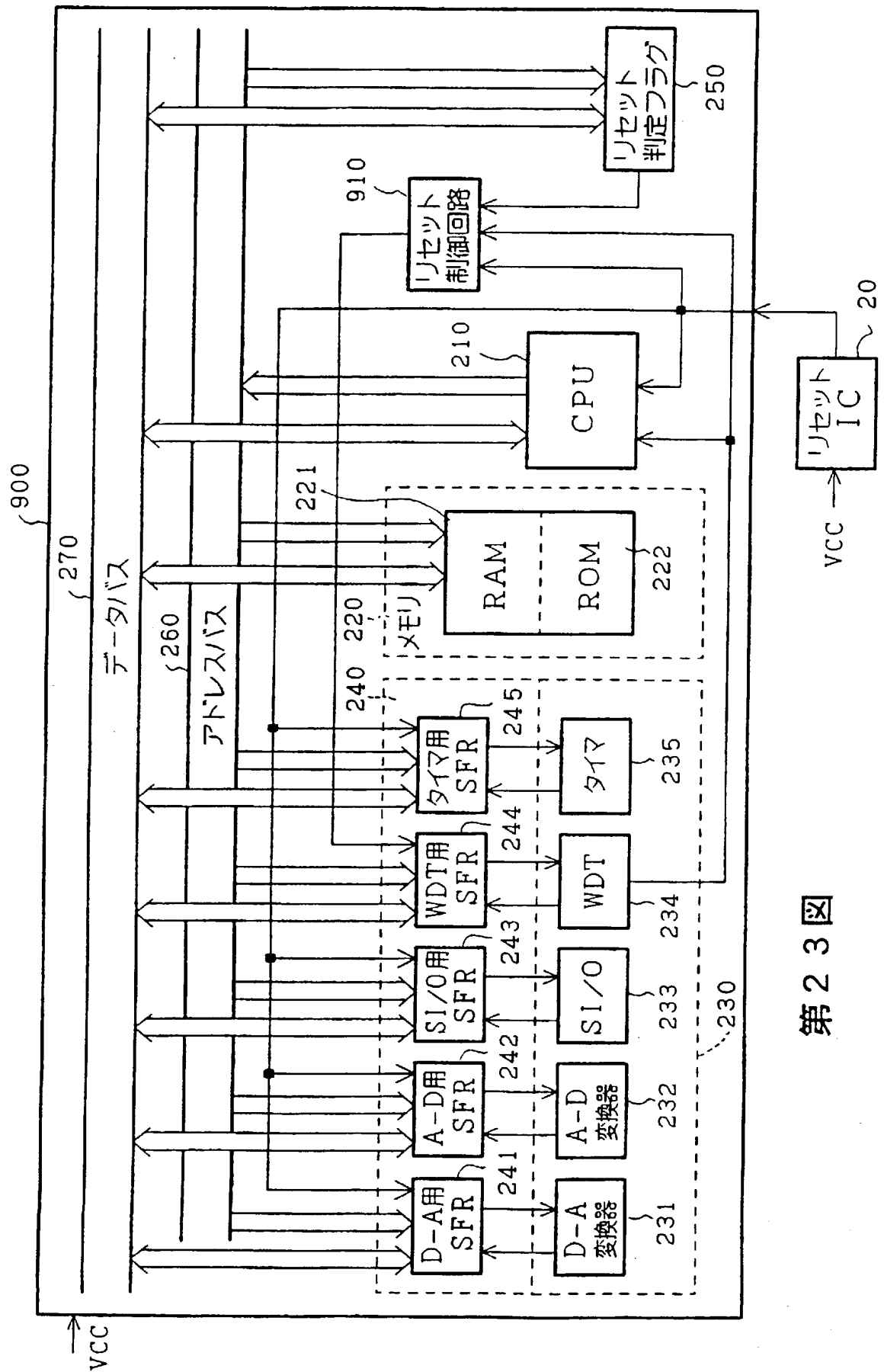


第21図



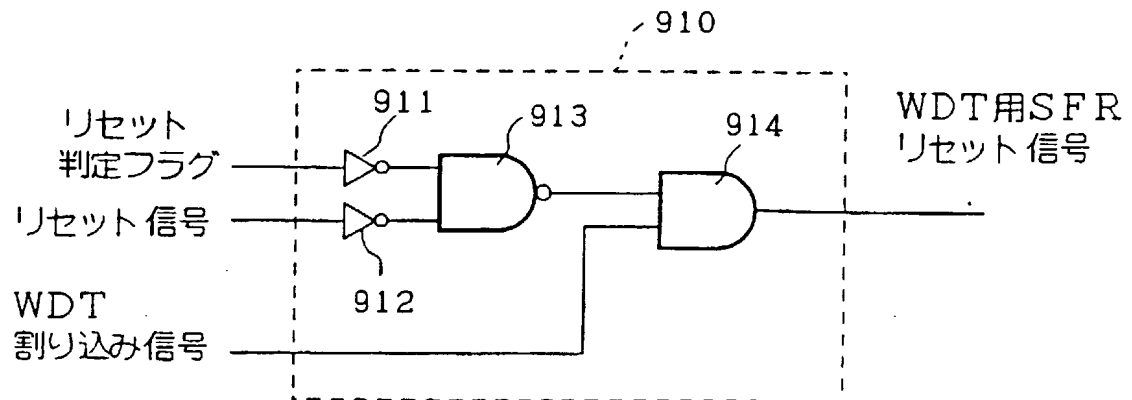
## 第 2 2 図



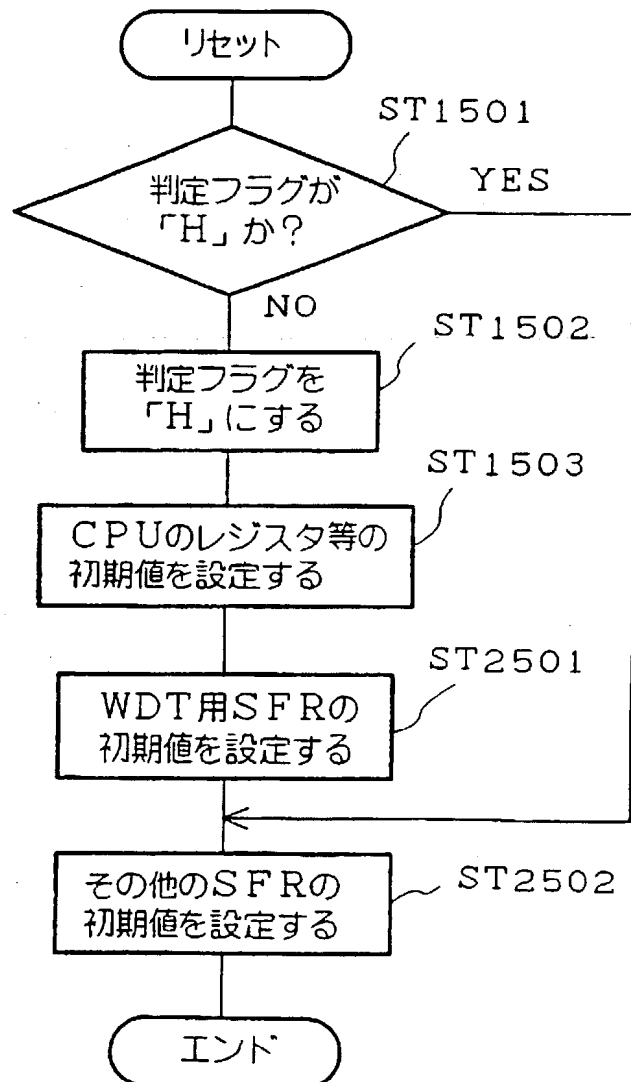


第23図

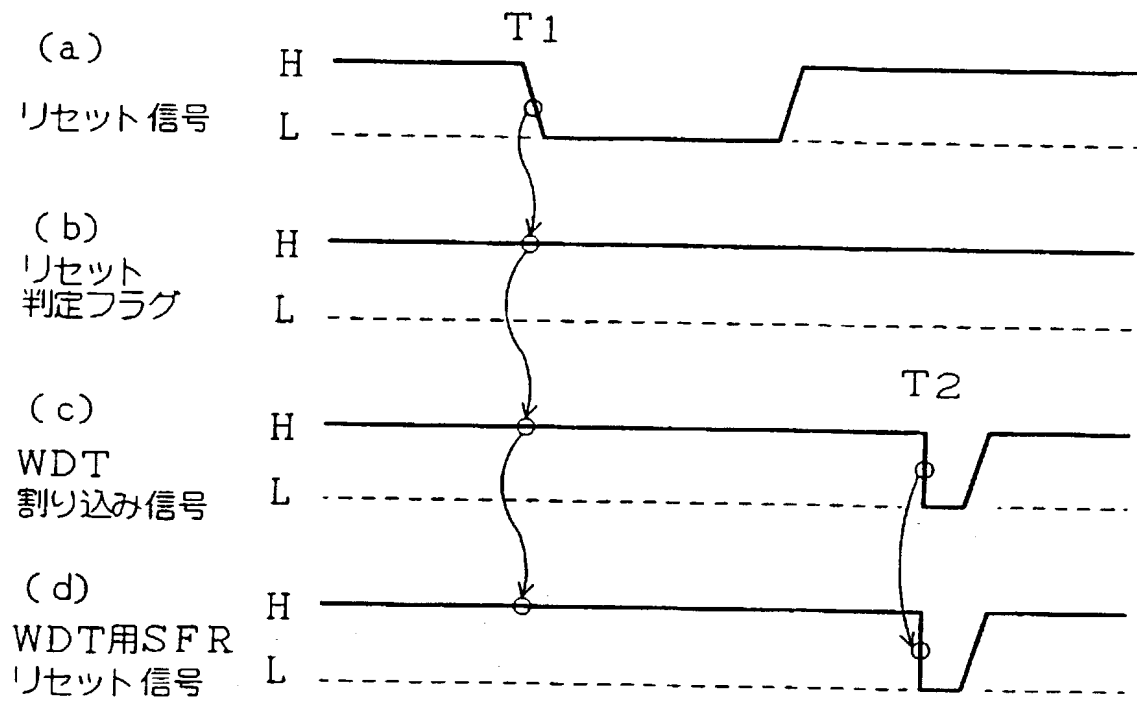
第24図

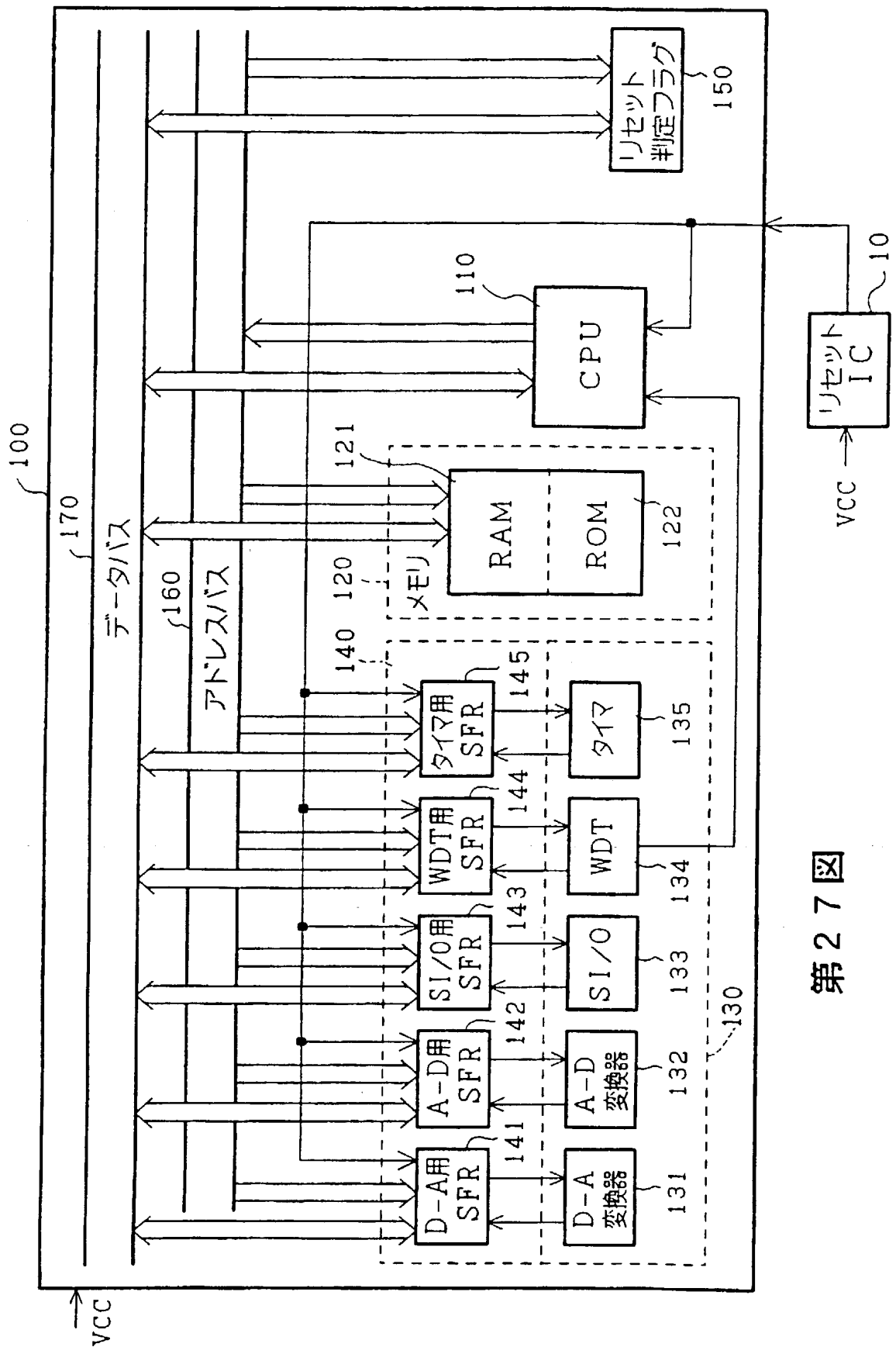


第25図



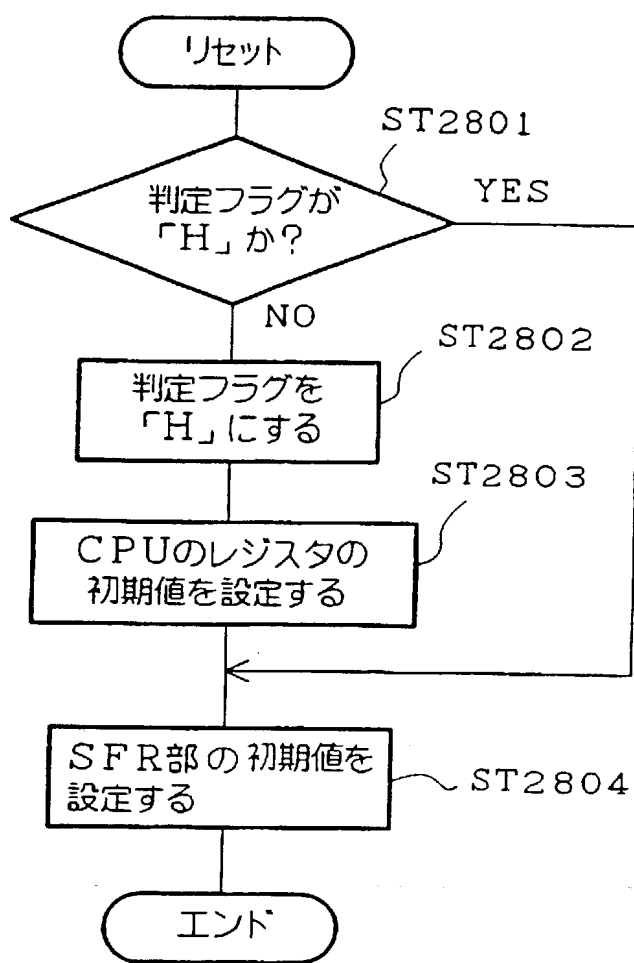
## 第 2 6 図





第27図

## 第 28 図



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/02725

## A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl<sup>6</sup> G06F1/24

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl<sup>6</sup> G06F1/24

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926 - 1996

Kokai Jitsuyo Shinan Koho 1971 - 1996

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 63-191245, A (Fujitsu Ltd.), August 8, 1988 (08. 08. 88) (Family: none)	1 - 7

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

## \* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search

December 5, 1996 (05. 12. 96)

Date of mailing of the international search report

December 17, 1996 (17. 12. 96)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.<sup>6</sup> G 06 F 1 / 2 4

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.<sup>6</sup> G 06 F 1 / 2 4

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国公開実用新案公報 1971-1996年  
日本国実用新案公報 1926-1996年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 63-191245, A (富士通株式会社), 8. 8月, 1988 (08. 08. 88) (ファミリーなし)	1-7

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」先行文献ではあるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

05. 12. 96

国際調査報告の発送日

17.12.96

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

竹井文雄



5 E

7922

電話番号 03-3581-1101 内線 3520